

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-308178

(43)Date of publication of application : 02.11.2001

(51)Int.Cl.

H01L 21/768

H01L 21/316

(21)Application number : 2000-123839

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.04.2000

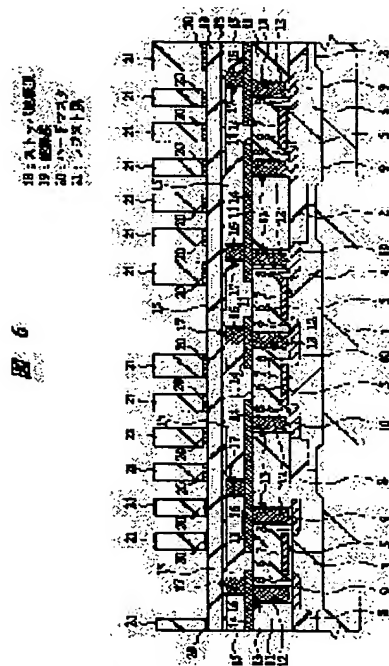
(72)Inventor :
HARA KAZUSATO
FUNATSU YOSHIAKI
IMAI TOSHINORI
NOGUCHI JUNJI
OHASHI TADASHI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique capable of improving reliability of a damascene wiring.

SOLUTION: After a stopper insulating film 18 constituted of an organic SOG film is formed on a plug 17, an insulating film 19 constituted of a TEOS oxide film and a hard mask 20 are formed in order. Dry etching treatment is performed under existence of a patterned resist film 21, and a wiring trench pattern is transferred on the hard mask 20. After that, a resist film 21 is eliminated by asher treatment using oxygen plasma, and the hard mask 20 on which the trench pattern of the wiring is transferred is formed. In this case, the organic SOG film constituting the stopper insulating film 18 is covered with the TEOS oxide film constituting the insulating film 19, so that the organic SOG film is not exposed to the oxygen plasma. As a result, change of properties of the organic SOG film due to the oxygen plasma can be prevented.



LEGAL STATUS

[Date of request for examination]

27.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-308178

(P2001-308178A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl.⁷

識別記号

F I

テ-マ-ト*(参考)

H 0 1 L 21/768

H 0 1 L 21/316

M 5 F 0 3 3

21/316

21/90

S 5 F 0 5 8

M

審査請求 未請求 請求項の数16 O L (全 66 頁)

(21)出願番号 特願2000-123839(P2000-123839)

(22)出願日 平成12年4月25日(2000.4.25)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 原 和里

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72)発明者 船津 圭亮

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

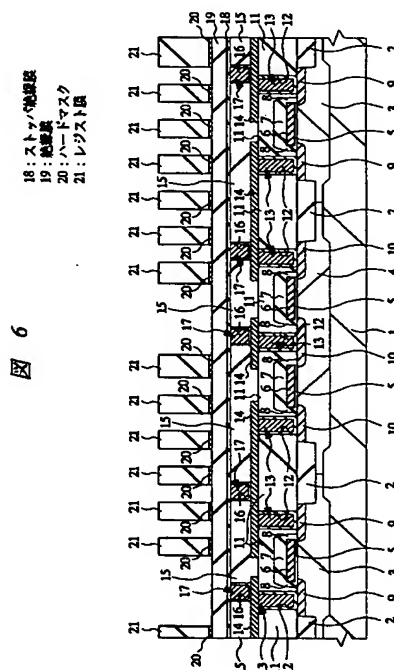
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ダマシン配線の信頼度を向上することができる技術を提供する。

【解決手段】 プラグ17上に有機SOG膜からなるストップ絶縁膜18を形成した後、さらにTEOS酸化膜からなる絶縁膜19およびハードマスク20を順次形成する。次いで、パターニングされたレジスト膜21の存在下でドライエッチング処理を施し、ハードマスク20に配線溝パターンを転写する。その後、酸素プラズマを用いたアッシャ処理によりレジスト膜21を除去して、配線の溝パターンが転写されたハードマスク20が形成されるが、この時、ストップ絶縁膜18を構成する有機SOG膜は絶縁膜19を構成するTEOS酸化膜で覆われており、有機SOG膜は酸素プラズマに晒されない。これにより、有機SOG膜の酸素プラズマによる変質を防ぐことができる。



【特許請求の範囲】

【請求項 1】 (a) 導電層が形成された下地上に、第 1 絶縁膜、前記第 1 絶縁膜よりもエッチング耐性の低い第 2 絶縁膜、およびハードマスクを順次堆積する工程と、

(b) 前記ハードマスク上に、レジストパターンを形成する工程と、(c) 前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d) 前記レジストパターンを除去する工程と、(e) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 2 絶縁膜へ選択的に転写する工程と、(f) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 1 絶縁膜へ転写する工程とを有する半導体装置の製造方法であって、

前記第 1 絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第 2 絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であることを特徴とする半導体装置の製造方法。

【請求項 2】 (a) 導電層が形成された下地上に、第 1 絶縁膜、前記第 1 絶縁膜よりもエッチング耐性の低い第 2 絶縁膜、およびハードマスクを順次堆積する工程と、

(b) 前記ハードマスク上に、レジストパターンを形成する工程と、(c) 前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d) 前記レジストパターンを除去する工程と、(e) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 2 絶縁膜へ選択的に転写する工程と、(f) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 1 絶縁膜へ転写する工程とを有する半導体装置の製造方法であって、

前記第 1 絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第 2 絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、

前記第 1 絶縁膜の堆積膜厚は 50～200 nm 程度、前記第 2 絶縁膜の堆積膜厚は 200～2000 nm 程度、前記ハードマスクの堆積膜厚は 50～200 nm 程度であることを特徴とする半導体装置の製造方法。

【請求項 3】 (a) 導電層が形成された下地上に、第 1 絶縁膜、前記第 1 絶縁膜よりもエッチング耐性の低い第 2 絶縁膜、およびハードマスクを順次堆積する工程と、

(b) 前記ハードマスク上に、レジストパターンを形成する工程と、(c) 前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d) 前記レジストパターンを除去する工程と、(e) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスク

のパターンを前記第 2 絶縁膜へ選択的に転写する工程と、(f) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 1 絶縁膜へ転写する工程とを有する半導体装置の製造方法であって、

前記第 1 絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第 2 絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、

10 前記第 1 絶縁膜の堆積膜厚は 200～3000 nm 程度、前記第 2 絶縁膜の堆積膜厚は 100～500 nm 程度、前記ハードマスクの堆積膜厚は 50～200 nm 程度であることを特徴とする半導体装置の製造方法。

【請求項 4】 (a) 導電層が形成された下地上に、接着層、第 1 絶縁膜、前記第 1 絶縁膜よりもエッチング耐性の低い第 2 絶縁膜、およびハードマスクを順次堆積する工程と、(b) 前記ハードマスク上に、レジストパターンを形成する工程と、(c) 前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d) 前記レジストパターンを除去する工程と、(e) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 2 絶縁膜へ選択的に転写する工程と、(f) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 1 絶縁膜および前記接着層へ転写する工程とを有する半導体装置の製造方法であって、

20 前記第 1 絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第 2 絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、前記接着層は 50 nm 以下の厚さのシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項 5】 (a) 導電層が形成された下地に水素アニール処理を施した後、第 1 絶縁膜、前記第 1 絶縁膜よりもエッチング耐性の低い第 2 絶縁膜、およびハードマスクを順次堆積する工程と、(b) 前記ハードマスク上に、レジストパターンを形成する工程と、(c) 前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d) 前記レジストパターンを除去する工程と、(e) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 2 絶縁膜へ選択的に転写する工程と、(f) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 1 絶縁膜へ転写する工程とを有する半導体装置の製造方法であって、

30 前記第 1 絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第 2 絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であることを特徴とする半導体装置の製造方法。

【請求項 6】(a) 導電層が形成された下地に水素アニール処理を施した後、接着層、第 1 絶縁膜、前記第 1 絶縁膜よりもエッチング耐性の低い第 2 絶縁膜およびハードマスクを順次堆積する工程と、(b) 前記ハードマスク上に、レジストパターンを形成する工程と、(c) 前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d) 前記レジストパターンを除去する工程と、(e) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 2 絶縁膜へ選択的に転写する工程と、(f) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 1 絶縁膜および前記接着層へ転写する工程とを有する半導体装置の製造方法であって、前記第 1 絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第 2 絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、前記接着層は 50 nm 以下の厚さのシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項 7】(a) 導電層が形成された下地上に、第 1 絶縁膜、前記第 1 絶縁膜よりもエッチング耐性の低い第 2 絶縁膜、およびハードマスクを順次堆積する工程と、(b) 前記ハードマスク上に、レジストパターンを形成する工程と、(c) 前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d) 前記レジストパターンを除去する工程と、(e) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 2 絶縁膜へ選択的に転写する工程と、(f) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 1 絶縁膜へ転写する工程とを有する半導体装置の製造方法であって、前記第 1 絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第 2 絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、前記ハードマスクは金属膜または金属化合物であることを特徴とする半導体装置の製造方法。

【請求項 8】(a) 導電層が形成された下地上に、第 1 絶縁膜、前記第 1 絶縁膜よりもエッチング耐性の低い第 2 絶縁膜、およびハードマスクを順次堆積する工程と、(b) 前記ハードマスク上に、レジストパターンを形成する工程と、(c) 前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクおよび前記第 2 絶縁膜の上部へ転写する工程と、(d) 前記レジストパターンを除去する工程と、(e) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 2 絶縁膜の下部へ選択的に転写する工程と、(f) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマ

スクのパターンを前記第 1 絶縁膜へ転写する工程とを有する半導体装置の製造方法であって、

前記第 1 絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第 2 絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、前記ハードマスクはシリコン窒化膜であることを特徴とする半導体装置の製造方法。

【請求項 9】(a) 導電層が形成された下地上に、第 1 絶縁膜、前記第 1 絶縁膜よりもエッチング耐性の低い第 2 絶縁膜、およびハードマスクを順次堆積する工程と、

(b) 前記ハードマスク上に、レジストパターンを形成する工程と、(c) 前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d) 前記レジストパターンを除去する工程と、(e) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 2 絶縁膜へ選択的に転写する工程と、

(f) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 1 絶縁膜へ転写する工程と、(g) 基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h) 前記第 2 絶縁膜の上部が露出するまで、前記バリアメタル層および前記銅膜を除去する工程とを有する半導体装置の製造方法であって、

前記第 1 絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第 2 絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であることを特徴とする半導体装置の製造方法。

【請求項 10】(a) 導電層が形成された下地上に、第 1 絶縁膜、前記第 1 絶縁膜よりもエッチング耐性の低い第 2 絶縁膜、およびハードマスクを順次堆積する工程と、

(b) 前記ハードマスク上に、レジストパターンを形成する工程と、(c) 前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d) 前記レジストパターンを除去する工程と、(e) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 2 絶縁膜へ選択的に転写する工程と、(f) 前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第 1 絶縁膜へ転写する工程と、(g) 基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h) 前記第 2 絶縁膜の上部が露出するまで、前記バリアメタル層および前記銅膜を除去する工程とを有する半導体装置の製造方法であって、

前記第 1 絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第 2 絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、

前記第 1 絶縁膜の堆積膜厚は 50 ～ 200 nm 程度、前

記第2絶縁膜の堆積膜厚は200~2000nm程度、前記ハードマスクの堆積膜厚は50~200nm程度であることを特徴とする半導体装置の製造方法。

【請求項11】(a)導電層が形成された下地上に、第1絶縁膜、前記第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)前記ハードマスク上に、レジストパターンを形成する工程と、(c)前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d)前記レジストパターンを除去する工程と、(e)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第2絶縁膜へ選択的に転写する工程と、(f)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第1絶縁膜へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h)前記第2絶縁膜の上部が露出するまで、前記バリアメタル層および前記銅膜を除去する工程とを有する半導体装置の製造方法であって、

前記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、

前記第1絶縁膜の堆積膜厚は200~3000nm程度、前記第2絶縁膜の堆積膜厚は100~500nm程度、前記ハードマスクの堆積膜厚は50~200nm程度であることを特徴とする半導体装置の製造方法。

【請求項12】(a)導電層が形成された下地上に、接着層、第1絶縁膜、前記第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)前記ハードマスク上に、レジストパターンを形成する工程と、(c)前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、

(d)前記レジストパターンを除去する工程と、(e)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第2絶縁膜へ選択的に転写する工程と、(f)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第1絶縁膜および前記接着層へ転写する工程と、

(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h)前記第2絶縁膜の上部が露出するまで、前記バリアメタル層および前記銅膜を除去する工程とを有する半導体装置の製造方法であって、

前記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、前記接着層は50nm以下の厚さのシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項13】(a)導電層が形成された下地に水素アニール処理を施した後、第1絶縁膜、前記第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)前記ハードマスク上に、レジストパターンを形成する工程と、(c)前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d)前記レジストパターンを除去する工程と、(e)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第2絶縁膜へ選択的に転写する工程と、(f)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第1絶縁膜へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h)前記第2絶縁膜の上部が露出するまで、前記バリアメタル層および前記銅膜を除去する工程とを有する半導体装置の製造方法であって、

前記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であることを特徴とする半導体装置の製造方法。

【請求項14】(a)導電層が形成された下地に水素アニール処理を施した後、接着層、第1絶縁膜、前記第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)前記ハードマスク上に、レジストパターンを形成する工程と、

(c)前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d)前記レジストパターンを除去する工程と、(e)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第2絶縁膜へ選択的に転写する工程と、(f)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第1絶縁膜へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h)前記第2絶縁膜の上部が露出するまで、前記バリアメタル層および前記銅膜を除去する工程とを有する半導体装置の製造方法であって、前記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、前記接着層は50nm以下の厚さのシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項15】(a)導電層が形成された下地上に、第1絶縁膜、前記第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)前記ハードマスク上に、レジストパターンを形成する工程と、(c)前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d)前記

レジストパターンを除去する工程と、(e)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第2絶縁膜へ選択的に転写する工程と、(f)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第1絶縁膜へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h)前記第2絶縁膜の上部が露出するまで、前記バリアメタル層および前記銅膜を除去する工程とを有する半導体装置の製造方法であって、

前記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、前記ハードマスクは金属膜または金属化合物であることを特徴とする半導体装置の製造方法。

【請求項16】(a)導電層が形成された下地上に、第1絶縁膜、前記第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)前記ハードマスク上に、レジストパターンを形成する工程と、(c)前記レジストパターンの存在下でエッチング処理を施し、前記レジストパターンのパターンを前記ハードマスクおよび前記第2絶縁膜の上部へ転写する工程と、(d)前記レジストパターンを除去する工程と、(e)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第2絶縁膜の下部へ選択的に転写する工程と、(f)前記ハードマスクの存在下でエッチング処理を施し、前記ハードマスクのパターンを前記第1絶縁膜へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h)前記第2絶縁膜の上部が露出するまで、前記バリアメタル層および前記銅膜を除去する工程とを有する半導体装置の製造方法であって、前記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜であり、前記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜であり、前記ハードマスクはシリコン窒化膜であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関し、特に、いわゆるダマシン(Damascene)法を用いて形成された多層配線構造、およびそのような多層配線構造を有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】半導体装置の高性能化および微細化に伴い、多層配線技術は半導体装置製造において必要な技術となっている。半導体集積回路における配線層の形成法として、層間絶縁層上にアルミニウム(Al)合金またはタングステン(W)等の高融点金属薄膜を成膜した

後、フォトリソグラフィ工程により配線用薄膜上に配線パターンと同一形状のレジストパターンを形成し、それをマスクとしてドライエッチング工程により配線パターンを形成する方法が知られている。しかし、このアルミニウム合金等を用いる方法では配線の微細化に伴い、配線抵抗の増大が顕著となり、それに伴い配線遅延が増加し、半導体装置の性能が低下する等の問題がある。特に、高性能なロジックLSI(Large Scale Integrated Circuit)においては、その性能阻害要因として大きな問題が生じている。

【0003】このため、層間絶縁層に形成した溝上に銅(Cu)を主導体層とする配線用金属を埋め込んだ後、溝外部の余分な金属をCMP(Chemical Mechanical Polishing)法を用いて除去することにより溝内に配線パターンを形成する方法(いわゆるダマシン法)が検討されている。

【0004】ところで、銅配線を埋め込む溝が形成される層間絶縁層には、エッチングストッパー膜およびTEOS酸化膜が下層から順に堆積された積層構造が提案されている。TEOS酸化膜は、TEOS(Tetra Ethyl Ortho Silicate: $\text{Si}(\text{OC}_2\text{H}_5)_4$)ガスとオゾン(O_3)ガスとを用いたプラズマCVD(Chemical Vapor Deposition)法で成膜される。エッチングストッパー膜としては、層間絶縁層をTEOS酸化膜で構成する場合、通常シリコン窒化膜が用いられている。

【0005】しかし、シリコン窒化膜の比誘電率が約7程度と高いため、層間絶縁層中にシリコン窒化膜を設けると、層間絶縁層全体の比誘電率が高くなるという問題が生ずる。これは配線間容量の増大を招き、半導体装置の動作速度の劣化や消費電力の増大に繋がる。

【0006】そこで、比誘電率が2~3程度と相対的に低く、TEOS酸化膜に対してエッチング選択比がとれる低誘電率材料の採用が検討され、なかでも、熱に対して比較的安定であり、また湿度に対しても高い耐性を有する有機SOG(Spin On Glass)膜が層間絶縁層を構成する材料として有望視されている。

【0007】なお、有機SOG膜を層間絶縁層に適用した配線プロセスについては、たとえば株式会社プレスジャーナル発行「セミコンダクタ・ワールド(Semiconductor World)」1998年2月号、P103~P107に記載されている。

【0008】

【発明が解決しようとする課題】しかし、有機SOG膜をエッチングストッパー膜とする層間絶縁層に、ダマシン法による多層配線を形成する工程について、本発明者らが検討したところ、以下のような問題あることを認識した。

【0009】すなわち、パターンニングされたレジスト膜をマスクとしてTEOS酸化膜および有機SOG膜を順次加工することで溝パターンを形成し、その後、上記レ

ジスト膜を酸素プラズマで除去すると、有機SOG膜に-OH基が生成されて、有機SOG膜の膜質が粗になってしまう。-OH基の発生に伴い有機SOG膜中の水分が増加し、さらに熱が加わることで生じる脱水縮合反応での膜収縮によって有機SOG膜にクラックが生じてしまう。

【0010】本発明の目的は、ダマシン配線の信頼度を向上することのできる技術を提供することにある。

【0011】本発明の他の目的は、配線間の容量を低減し、半導体装置の性能向上が図れる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかなるであらう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

(1) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地上に、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b) ハードマスク上に、レジストパターンを形成する工程と、(c) レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d) レジストパターンを除去する工程と、(e) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜とするものである。

(2) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地上に、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b) ハードマスク上に、レジストパターンを形成する工程と、(c) レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d) レジストパターンを除去する工程と、(e) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜とし、上記第1絶縁膜の堆積膜厚は50~200nm

m程度、上記第2絶縁膜の堆積膜厚は200~2000nm程度、上記ハードマスクの堆積膜厚は50~200nm程度とするものである。

(3) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地上に、第1絶縁膜、第1絶縁膜に対してエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b) ハードマスク上に、レジストパターンを形成する工程と、(c) レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d) レジストパターンを除去する工程と、(e) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、前記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜とし、上記第1絶縁膜の堆積膜厚は200~3000nm程度、上記第2絶縁膜の堆積膜厚は100~500nm程度、上記ハードマスクの堆積膜厚は50~200nm程度とするものである。

(4) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地上に、接着層、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b) ハードマスク上に、レジストパターンを形成する工程と、(c) レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d) レジストパターンを除去する工程と、(e) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜および接着層へ転写する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜、上記接着層は50nm以下の厚さのシリコン酸化膜とするものである。

(5) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地に水素アニール処理を施した後、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b) ハードマスク上に、レジストパターンを形成する工程と、(c) レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d) レジストパターンを除去する工程と、(e) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f) ハードマスクの存在

下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜とするものである。

(6) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地に水素アニール処理を施した後、接着層、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b) ハードマスク上に、レジストパターンを形成する工程と、(c) レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d) レジストパターンを除去する工程と、(e) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜および接着層へ転写する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜、上記接着層は50nm以下の厚さのシリコン酸化膜とするものである。

(7) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地上に、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b) ハードマスク上に、レジストパターンを形成する工程と、(c) レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d) レジストパターンを除去する工程と、

(e) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜、上記ハードマスクは金属膜または金属化合物とするものである。

(8) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地上に、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b) ハードマスク上に、レジストパターンを形成する工程と、(c) レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクおよび第2絶縁膜の上部へ転写する工程と、(d) レジストパターンを除去する工程と、(e) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜の

下部へ選択的に転写する工程と、(f) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜、上記ハードマスクはシリコン窒化膜とするものである。

(9) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地上に、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b) ハードマスク上に、レジストパターンを形成する工程と、(c) レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d) レジストパターンを除去する工程と、(e) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程と、(g) 基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h) 第2絶縁膜の上部が露出するまで、バリアメタル層および銅膜を除去する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜とするものである。

(10) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地上に、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b) ハードマスク上に、レジストパターンを形成する工程と、(c) レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d) レジストパターンを除去する工程と、(e) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f) ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程と、(g) 基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h) 第2絶縁膜の上部が露出するまで、バリアメタル層および前記銅膜を除去する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜とし、上記第1絶縁膜の堆積膜厚は50~200nm程度、上記第2絶縁膜の堆積膜厚は200~2000nm程度、上記ハードマスクの堆積膜厚は50~200nm程度とするものである。

(11) 本発明の半導体装置の製造方法は、(a) プラグまたは配線が形成された下地上に、第1絶縁膜、第1

絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)ハードマスク上に、レジストパターンを形成する工程と、(c)レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d)レジストパターンを除去する工程と、(e)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程と、(f)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h)第2絶縁膜の上部が露出するまで、バリアメタル層および銅膜を除去する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜とし、上記第1絶縁膜の堆積膜厚は200~3000nm程度、上記第2絶縁膜の堆積膜厚は100~500nm程度、上記ハードマスクの堆積膜厚は50~200nm程度とするものである。

(12)本発明の半導体装置の製造方法は、(a)プラグまたは配線が形成された下地上に、接着層、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)ハードマスク上に、レジストパターンを形成する工程と、(c)レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンを前記ハードマスクへ転写する工程と、(d)レジストパターンを除去する工程と、(e)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜および接着層へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、

(h)第2絶縁膜の上部が露出するまで、バリアメタル層および銅膜を除去する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜、上記接着層は50nm以下の厚さのシリコン酸化膜とするものである。

(13)本発明の半導体装置の製造方法は、(a)プラグまたは配線が形成された下地上に水素アニール処理を施した後、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)ハードマスク上に、レジストパターンを形成する工程と、(c)レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d)レジストパターンを除去する工程と、(e)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶

縁膜へ選択的に転写する工程と、(f)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、

(h)第2絶縁膜の上部が露出するまで、バリアメタル層および銅膜を除去する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜とするものである。

(14)本発明の半導体装置の製造方法は、(a)プラグまたは配線が形成された下地に水素アニール処理を施した後、接着層、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)ハードマスク上に、レジストパターンを形成する工程と、(c)レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d)レジストパターンを除去する工程と、(e)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h)第2絶縁膜の上部が露出するまで、バリアメタル層および銅膜を除去する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜、上記接着層は50nm以下の厚さのシリコン酸化膜とするものである。

(15)本発明の半導体装置の製造方法は、(a)プラグまたは配線が形成された下地上に、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)ハードマスク上に、レジストパターンを形成する工程と、(c)レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクへ転写する工程と、(d)レジストパターンを除去する工程と、(e)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜へ選択的に転写する工程と、(f)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h)第2絶縁膜の上部が露出するまで、バリアメタル層および銅膜を除去する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜、上記ハードマスクは金属膜または金属化合物とするものである。

(16)本発明の半導体装置の製造方法は、(a)プラ

グまたは配線が形成された下地上に、第1絶縁膜、第1絶縁膜よりもエッチング耐性の低い第2絶縁膜、およびハードマスクを順次堆積する工程と、(b)ハードマスク上に、レジストパターンを形成する工程と、(c)レジストパターンの存在下でエッチング処理を施し、レジストパターンのパターンをハードマスクおよび第2絶縁膜の上部へ転写する工程と、(d)レジストパターンを除去する工程と、(e)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第2絶縁膜の下部へ選択的に転写する工程と、(f)ハードマスクの存在下でエッチング処理を施し、ハードマスクのパターンを第1絶縁膜へ転写する工程と、(g)基板の全面にバリアメタル層および銅膜を順次堆積する工程と、(h)第2絶縁膜の上部が露出するまで、バリアメタル層および銅膜を除去する工程とを有し、上記第1絶縁膜はシリコン酸化膜よりも低い比誘電率を有する有機官能基を持つ絶縁膜、上記第2絶縁膜はシリコン窒化膜よりも低い比誘電率を有する絶縁膜、上記ハードマスクはシリコン窒化膜とするものである。

【0014】上記した手段によれば、ハードマスクにパターンを転写するために用いられるレジストパターンを酸素プラズマで除去する際、第1絶縁膜は第2絶縁膜により保護されることから、第1絶縁膜を酸素プラズマ耐性の低い有機絶縁膜で構成しても、第1絶縁膜は酸化プラズマの影響を受けることがなく、第1絶縁膜の膜質の変化を抑えることができる。また、第1絶縁膜自体はハードマスクで加工されることから、酸素プラズマに晒されることがない。

【0015】さらに、シリコン窒化膜よりも低い比誘電率を有する第2絶縁膜の加工の際のエッチング用ストップパとして、比誘電率がシリコン酸化膜よりも低い有機絶縁膜で構成される第1絶縁膜を用いることで、プラグまたは配線を取り囲む絶縁膜を、シリコン窒化膜よりも低い誘電率を有する絶縁膜とシリコン酸化膜よりも低い誘電率を有する有機絶縁膜とで構成することが可能となり、配線間容量の増加を抑えることができる。

【0016】さらに、第1絶縁膜に対するハードマスクのエッチング選択比を高くすることで、シリコン酸化膜よりも比誘電率が低い第1絶縁膜を厚く形成することを可能とし、これにより配線間容量の増加抑制の高い効果を得ることができる。

【0017】さらに、下地を構成するプラグまたは配線を形成した後に水素アニール処理を施し、プラグまたは配線に生じた隙間からの脱ガスを積極的に発生させることによって、プラグまたは配線上に形成される第1絶縁膜のはがれを防ぐことができる。また、プラグまたは配線上に接着層を設けることで、第1絶縁膜または第2絶縁膜の成膜時においてプラグまたは配線に生じた隙間からの脱ガスが発生しても、脱ガスの影響による第1絶縁膜のはがれを防ぐことができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0019】(実施の形態1)図1～図19は、本実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。以下、図面を用いて工程順に説明する。

【0020】まず、図1に示すように、たとえばp型の単結晶シリコンからなる半導体基板1を用意し、半導体基板1の主面に素子分離領域2を形成する。素子分離領域2は、たとえば以下のようにして形成できる。まず、半導体基板1の主面上にシリコン酸化膜(SiO₂)およびシリコン窒化膜(Si₃N₄)を順次形成し、このシリコン窒化膜をパターンニングされたフォトリソレジスト膜を用いてエッチングし、このエッチングされたシリコン窒化膜をマスクとして半導体基板1に浅溝を形成する。その後、浅溝を埋め込む絶縁膜、たとえばシリコン酸化膜を堆積し、CMP法等を用いて浅溝以外の領域のシリコン酸化膜を除去し、さらにウエットエッチング法等によりシリコン窒化膜を除去する。これにより素子分離領域2が形成される。

【0021】次に、パターンニングされたフォトリソレジスト膜をマスクとして不純物をイオン注入し、pウェル3およびnウェル4を形成する。pウェル3にはp型の導電型を示す不純物たとえばボロン(B)をイオン注入し、nウェルにはn型の導電型を示す不純物たとえばリン(P)をイオン注入する。この後、各ウェル領域にMISFET(Metal Insulator Semiconductor Field Effect Transistor)のしきい値を制御するための不純物をイオン注入してもよい。

【0022】次に、ゲート絶縁膜5となるシリコン酸化膜、ゲート電極6となる多結晶シリコン膜およびキャップ絶縁膜7となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィ技術によりパターンニングされたフォトリソレジスト膜をマスクとして前記積層膜をエッチングする。これにより、ゲート絶縁膜5、ゲート電極6およびキャップ絶縁膜7を形成する。ゲート絶縁膜5は、たとえば熱CVD法により形成することができ、ゲート電極6は、たとえばCVD法により形成することができる。ゲート電極6の抵抗値を低減するために、n型あるいはp型の不純物をMISFETのチャネル型に応じてドーピングしてもよい。すなわち、nチャネルMISFETのゲート電極にはn型不純物を、pチャネルMISFETのゲート電極にはp型不純物をドーピングしてもよい。この場合イオン注入法を用いることができる。なお、ゲート電極6の上部にタングステンシリサイド(WSi_x)、モリブデンシリサイド(MoSi_x)、チタンシリサイド(TiSi_x)、タンタルシリサイド(Ta

Six) 等の高融点金属シリサイド膜を積層してもよく、窒化チタン (TiN)、窒化タングステン (WN) 等のバリアメタル層を介してタングステン等の金属層を形成してもよい。これによりゲート電極 6 のシート抵抗値を低減し、MISFET の動作速度を向上できる。キャップ絶縁膜 7 は、たとえば CVD 法により堆積することができる。

【0023】次に、半導体基板 1 上に、たとえば CVD 法でシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッチングすることにより、ゲート電極 6 の側壁にサイドウォールスペーサ 8 を形成する。その後、フォトリソグラフ技術を用いて、p ウェル 3 に n 型不純物 (たとえばリン、ヒ素 (As)) をイオン注入し、p ウェル 3 上のゲート電極 6 の両側に n 型半導体領域 9 を形成する。n 型半導体領域 9 は、ゲート電極 6 およびサイドウォールスペーサ 8 に対して自己整合的に形成される。また、n 型半導体領域 9 は、n チャネル MISFET のソース、ドレイン領域として機能する。同様に、フォトリソグラフ技術を用いて、n ウェル 4 に p 型不純物 (たとえばボロン) をイオン注入し、n ウェル 4 上のゲート電極 6 の両側に p 型半導体領域 10 を形成する。p 型半導体領域 10 は、ゲート電極 6 およびサイドウォールスペーサ 8 に対して自己整合的に形成され、p チャネル MISFET のソース、ドレイン領域として機能する。

【0024】なお、サイドウォールスペーサ 8 の形成前に低濃度の不純物半導体領域を形成し、サイドウォールスペーサ 8 の形成後に高濃度の不純物半導体領域を形成して、いわゆる LDD (Lightly Doped Drain) 構造としてもよい。

【0025】次に、図 2 に示すように、半導体基板 1 上に CVD 法またはスパッタ法でシリコン酸化膜を堆積した後、そのシリコン酸化膜を、たとえば CMP 法で研磨することにより、表面が平坦化された第 1 層間絶縁膜 11 を形成する。第 1 層間絶縁膜 11 は、シリコン窒化膜、SOG 膜、BPSG (Boron Phosphor Silicate Glass) 膜、PSG (Phosphor Silicate Glass) 膜等の積層膜で形成してもよい。

【0026】次に、フォトリソグラフ技術を用いて第 1 層間絶縁膜 11 に接続孔 12 を形成する。この接続孔 12 は、n 型半導体領域 9 あるいは p 型半導体領域 10 上の必要部分に形成する。

【0027】次に、接続孔 12 内にプラグ 13 を、たとえば以下のようにして形成する。まず、接続孔 12 の内部を含む半導体基板 1 の全面に窒化チタン膜を形成する。窒化チタン膜は、たとえば CVD 法により形成できる。CVD 法は被膜の段差被覆性に優れるため、微細な接続孔 12 内にも均一な膜厚で窒化チタン膜を形成できる。次に、接続孔 12 を埋め込むタングステン膜を形成する。タングステン膜は、たとえば CVD 法で形成でき

る、CVD 法であれば同様に微細な接続孔 12 内をタングステンで埋め込むことができる。次に、接続孔 12 以外の領域のタングステン膜および窒化チタン膜を、たとえば CMP 法により除去してプラグ 13 を形成できる。なお、窒化チタン膜の形成前に、たとえばチタン (Ti) 膜を堆積し、熱処理を行って接続孔 12 の底部における半導体基板 (n 型あるいは p 型の半導体領域 9, 10) をシリサイド化してもよい。このようなシリサイド層を形成することにより、接続孔 12 底部でのコンタクト抵抗を低減できる。

【0028】次に、半導体基板 1 の全面に、たとえばタングステン膜を形成し、このタングステン膜をフォトリソグラフ技術によりパターンニングし、第 1 配線層の配線 14 を形成する。タングステン膜は、CVD 法またはスパッタ法により形成できる。

【0029】次に、図 3 に示すように、配線 14 を覆う絶縁膜、たとえばシリコン酸化膜を形成し、この絶縁膜を CMP 法により平坦化して第 2 層間絶縁膜 15 を形成する。

【0030】次に、第 2 層間絶縁膜 15 上に接続孔が形成される領域に開孔を有するフォトリソグラフ技術を用いて、このフォトリソグラフ技術を用いてエッチングを施す。これにより第 2 層間絶縁膜 15 の所定の領域に接続孔 16 を形成する。

【0031】次に、接続孔 16 内にプラグ 17 を形成する。プラグ 17 は以下のようにして形成できる。まず、接続孔 16 の内部を含む半導体基板 1 の全面にバリアメタル層を形成し、さらに接続孔 16 を埋め込むタングステン膜を形成する。その後、接続孔 16 以外の領域のタングステン膜およびバリアメタル層を CMP 法により除去してプラグ 17 を形成する。

【0032】バリアメタル層は第 2 層間絶縁膜 15 等周辺へのタングステンの拡散を防止する機能を有し、たとえば窒化チタン膜を例示できる。なお、窒化チタン膜には限られず、タングステンの拡散防止機能を有する限り他の金属膜であってもよい。たとえば、窒化チタンに代えてタンタル (Ta)、窒化タンタル (Ta₂N₅) を用いることもできる。次工程以降のプラグ 17 のバリアメタル層については窒化チタン膜を例示して説明するが、タンタル膜、窒化タンタル膜等に代えることができる。

【0033】タングステン膜はプラグ 17 の主導電層として機能し、たとえば CVD 法またはスパッタ法により形成できる。

【0034】次に、本発明による第 2 配線層～第 5 配線層の形成方法を説明する。

【0035】まず、第 2 配線層の形成方法を図 4～図 13 を用いて工程順に説明する。

【0036】図 4 に示すように、第 2 層間絶縁膜 15 およびプラグ 17 上にストップ絶縁膜 18 を形成した後、さらに第 2 配線層形成用の絶縁膜 19 およびハードマ

ク 20 を順次形成する。

【0037】ストップ絶縁膜 18 は、たとえば有機 SOG 膜からなり、膜厚はたとえば 50 ～ 200 nm 程度である。なお、ストップ絶縁膜 18 として、有機 SOG 膜を例示しているが、有機 SOG 膜に代えて、絶縁膜 19 に対して高いエッチング選択比を有し、かつシリコン酸化膜よりも低い低誘電率（たとえば 2 ～ 3 程度）を有する有機官能基を持った絶縁膜を用いることもできる。

【0038】絶縁膜 19 は、たとえば TEOS 酸化膜からなり、膜厚はたとえば 200 ～ 2000 nm 程度である。なお、絶縁膜 19 として、TEOS 酸化膜を例示しているが、TEOS 酸化膜に代えて、無機 SOG 膜、フッ素を含むシリコン酸化膜 (SiOF) 等のシリコン窒化膜よりも低い比誘電率を有し、酸素プラズマ耐性が高い無機絶縁膜または有機絶縁膜を用いることもできる。

【0039】ハードマスク 20 は、たとえばタングステン膜、アルミニウム膜等の金属膜または窒化チタン膜、窒化タンタル膜等の金属化合物からなり、膜厚はたとえば 50 ～ 200 nm 程度である。なお、ハードマスク 20 は、酸素プラズマ耐性が高く、下地の絶縁膜 19 に対してエッチング選択比が取れる金属膜または金属化合物膜が選択される。

【0040】ストップ絶縁膜 18 を構成する有機 SOG 膜は、たとえば塗布法によって形成することができる。これにより、エッチバック法や CMP 法等の平坦化技術を用いずにストップ絶縁膜 18 の表面が平坦化でき、配線層の多層化を容易とすることができる。ストップ絶縁膜 18 は、後に説明するように、絶縁膜 19 に配線溝を形成する際のエッチング用ストップとして機能する。すなわち、絶縁膜 19 に対して有機 SOG 膜がエッチングされにくい条件で絶縁膜 19 はエッチングされる。よって、有機 SOG 膜の膜厚は、上記配線溝形成の際のエッチング用ストップに要求される膜厚が選択される。前記 50 ～ 200 nm はこのような条件を考慮したものである。なお、有機 SOG 膜の形成方法として塗布法を例示しているが、CVD 法等の他の製法を用いてもよい。

【0041】絶縁膜 19 を構成する TEOS 酸化膜は、TEOS ガスと O₃ ガスとを原料ガスとしたプラズマ CVD 法で成膜される。プラズマ CVD 法を用いることにより成膜温度の低温下を図ることができる。配線形成工程は、半導体装置の製造工程（いわゆる前工程）のうち、最終工程に近い工程のため、すでに形成されたデバイス構造（不純物拡散層、シリサイド層等）に影響を及ぼさない温度（たとえば 400℃ 程度の低温）で処理することが望まれる。このような低温化の要請に合致する成膜方法としてプラズマ CVD 法はメリットが大きい。また、TEOS を用いてシリコン酸化膜を形成すると、膜形成時のクラスタ流動性を高くでき、ステップカバレージに優れたシリコン酸化膜が形成できる。

【0042】ストップ絶縁膜 18 と絶縁膜 19 とには、

次に説明する第 2 配線層が埋め込まれる配線溝が形成される。このため、ストップ絶縁膜 18 と絶縁膜 19 との合計膜厚は第 2 配線層に必要な設計膜厚で決められる。また、配線間容量を低減することを考慮すれば、ストップ絶縁膜 18 の膜厚を厚く設定することが望まれるが、これについては、実施の形態 4 に詳述するので、ここでの説明は省略する。

【0043】ハードマスク 20 は、後に説明するように、絶縁膜 19 に配線溝を形成する際のマスクとして機能する。すなわち、絶縁膜 19 に対してハードマスク 20 がエッチングされにくい条件で絶縁膜 19 をエッチングする。さらに、このハードマスク 20 は、後に説明するように配線形成時には除去することが可能である。よって、ハードマスク 20 の膜厚は、上記配線溝形成の際のエッチング用ストップに要求される膜厚が選択される。前記 50 ～ 200 nm はこのような条件を考慮したものである。

【0044】次に、図 5 に示すように、ハードマスク 20 上に、フォトリソグラフィ技術を用いてレジスト膜 21 を形成する。レジスト膜 21 は、配線パターンである配線溝が形成される領域に開孔が形成されるように、配線溝パターンにパターニングされる。

【0045】次に、図 6 に示すように、レジスト膜 21 の存在下でドライエッチング処理を施し、ハードマスク 20 に配線溝パターンを転写する。その後、図 7 に示すように、酸素プラズマを用いたアッシュ処理によりレジスト膜 21 を除去する。このようにして配線の溝パターンが転写されたハードマスク 20 が形成される。この時、ストップ絶縁膜 18 を構成する有機 SOG 膜は、酸素プラズマ耐性の高い絶縁膜 19 で覆われており、有機 SOG 膜は酸素プラズマに晒されない。これにより、有機 SOG 膜の酸素プラズマによる変質を防ぐことができる。

【0046】次に、図 8 に示すように、パターニングされたハードマスク 20 をマスクとし、ストップ絶縁膜 18 をエッチング用ストップとして第 1 のエッチングを施す。この第 1 のエッチングにより絶縁膜 19 に配線溝 22 の一部を形成する。このエッチングの条件は、絶縁膜 19 (TEOS 酸化膜) がエッチングされ易く、ハードマスク 20 およびストップ絶縁膜 18 (有機 SOG 膜) がエッチングされ難い条件を選択する。たとえばエッチングガスを CHF₄、CF₄、Ar の混合ガスとする。

【0047】続いて、パターニングされた上記ハードマスク 20 をマスクとして第 2 のエッチングを施す。この第 2 のエッチングにより露出しているストップ絶縁膜 18 を除去して、ストップ絶縁膜 18 に配線溝 22 の他の一部を形成する。このエッチングの条件には、次の 2 通りの方法を探ることができる。

【0048】第 1 の方法は、ストップ絶縁膜 18 (有機 SOG 膜) に対するハードマスク 20 のエッチング選択

比が低い条件を選択する方法であって、ハードマスク 20 とストップ絶縁膜 18 とがほぼ同等のエッチング速度でエッチングされる。このような条件を選択した場合、図 9 に示すように、ストップ絶縁膜 18 の加工が終了した時点でハードマスク 20 がほぼ無くなり、絶縁膜 19 の上面が露出する。

【0049】第 2 の方法は、ストップ絶縁膜 18 (有機 SOG 膜) に対するハードマスク 20 のエッチング選択比が高い条件を選択する方法であって、ストップ絶縁膜 18 はエッチングされるがハードマスク 20 はエッチングされにくい条件で選択エッチングされる。このような条件を選択した場合、図 10 に示すように、ストップ絶縁膜 18 の加工が終了した時点では、未だハードマスク 20 の一部が残っており、絶縁膜 19 の上面は露出しない。

【0050】前記第 1 の方法、第 2 の方法のいずれの方法においても、エッチング時におけるエッチングガスは CHF_3 、 O_2 混合ガスが用いられる。しかし、その他のエッチング条件、たとえば圧力、混合ガスの流量、RF 投入電源、基板温度等の条件を選択することにより、第 1 の方法および第 2 の方法を選択することができる。

【0051】次に、配線溝 22 の内部に第 2 配線層の配線 23 を形成する。配線 23 は、バリアメタル層および主導電層からなり、配線 23 の形成は以下のようにして行う。

【0052】まず、図 11 および図 12 に示すように、バリアメタル層 23a を形成する。図 11 は、前記図 9 を用いて説明した第 1 の方法によって形成された配線溝 22 に、バリアメタル層 23a を成膜した場合を示しており、図 12 は、前記図 10 を用いて説明した第 2 の方法によって形成された配線溝 22 に、バリアメタル層 23a を成膜した場合を示している。

【0053】バリアメタル層 23a は配線の主成分である銅の拡散を防止するとともに、銅とシリコン酸化膜との接着性を向上させる機能を有する。バリアメタル層 23a としては、たとえば窒化チタン膜を用いることができる。なお、窒化チタンに代えて、窒化タンタル、タンタル等を用いてもよい。これらの金属化合物膜または金属膜であっても銅の拡散を防止できる限りバリアメタル層 23a に適用できる。バリアメタル層 23a は、たとえば CVD 法またはスパッタ法を用いて形成される。次工程以降の配線のバリアメタル層については窒化チタン膜を例示して説明するが、窒化タンタル膜、タンタル膜等に代えることができる。

【0054】次に、バリアメタル層 23a 上にシード層 (図示せず) を形成する。シード層は、次に説明する銅のメッキ層を形成するための種 (シード) となる層であり、銅で構成される。シード層は、たとえば CVD 法またはスパッタ法を用いて形成される。次に、銅のメッキ層 23b を形成する。メッキ法は、電解メッキ、無電解

メッキのいずれの方法を用いてもよい。メッキ層の膜厚は基板平面上で 300 nm 程度とする。

【0055】なお、本実施の形態 1 では、メッキ法による銅膜 (メッキ層 23b) の形成を示したが、スパッタ法により形成してもよい。この場合、シード層は必要ではない。スパッタ法により銅膜を形成する場合には、配線溝 22 に銅が埋め込まれるように熱処理を施して銅をリフローさせることができる。次工程以降の配線の主導電膜である銅膜についてはメッキ法で形成する場合の例示するが、スパッタ法を用いてもよい。

【0056】次に、図 13 に示すように、CMP 法を用いてメッキ層 23b およびシード層を研磨する。銅は研磨速度が大きいので、まず先に銅の部分が除去される。さらに、研磨を継続し、絶縁膜 19 上のバリアメタル層 23a も除去する。これにより配線溝 22 の領域以外のバリアメタル層 23a および銅膜 (メッキ層 23 およびシード層) を除去する。

【0057】ここで、前記図 9 に示した第 1 の方法を用いてストップ絶縁膜 18 を除去した場合は、絶縁膜 19 の上面はバリアメタル層 23a に接していることから、絶縁膜 19 上のバリアメタル層 23a の除去が終了する状態まで研磨除去が上記 CMP 法を用いて行われる。これに対し、前記図 10 に示した第 2 の方法を用いてストップ絶縁膜 18 を除去した場合は、絶縁膜 19 の上面にはハードマスク 20 が残っていることから、絶縁膜 19 上のバリアメタル層 23a の除去を終了させ、さらにハードマスク 20 の除去が終了する状態まで研磨除去が上記 CMP 法を用いて行われる。

【0058】CMP 法による研磨には過酸化水素等の酸化剤を含みアルミナ砥粒が分散された研磨スラリーを使用できる。また、銅膜とバリアメタル層を同一プラテンで一括研磨する方法を採ることができる。なお、CMP 法による研磨の後、濃度 0.1 % のアンモニア水溶液を用いた洗浄さらに純粋を用いた洗浄の 2 段階のブラシスクラブ洗浄により、基板表面に付着した研磨砥粒および銅を除去できる。

【0059】以上のようにして、第 2 配線層の配線 23 が完成する。その後、第 2 配線層と同様な形成方法によって第 3 配線層以上の任意の配線層が形成される。

【0060】次に、第 3 配線層～第 5 配線層の形成方法を図 14～図 19 を用いて説明する。

【0061】図 14 に示すように、第 2 配線層の配線 23 を覆う絶縁膜、たとえばシリコン酸化膜を形成し、この絶縁膜を CMP 法により平坦化して第 3 層間絶縁膜 24 を形成する。次いで、第 3 層間絶縁膜 24 上に接続孔が形成される領域に開孔を有するフォトリソ膜を形成し、このフォトリソ膜をマスクとしてエッチングを施す。これにより第 3 層間絶縁膜 24 の所定の領域に接続孔 25 を形成する。

【0062】次に、接続孔 25 の内部を含む半導体基板

1の全面にバリアメタル層を形成し、さらに接続孔25を埋め込むタングステン膜を形成する。その後、接続孔25以外の領域のタングステン膜およびバリアメタル層をCMP法により除去してプラグ26を形成する。バリアメタル層は、たとえば窒化チタン膜を例示できる。タングステン膜は主導電層として機能し、たとえばCVD法またはスパッタ法で形成できる。

【0063】次に、図15に示すように、前記第2配線層と同様な形成方法で、第3配線層を形成する。まず、プラグ26および第3層間絶縁膜24上にストップ絶縁膜27、絶縁膜28、ハードマスク（図示せず）を順次形成する。ストップ絶縁膜27は、絶縁膜28に対して高いエッチング選択比を有する材料で構成され、たとえば前記ストップ絶縁膜18と同様に、塗布法で形成される有機SOG膜とすることができる。なお、有機SOG膜には限られず、絶縁膜28に対して高いエッチング選択比を有し、かつシリコン酸化膜よりも低い比誘電率を有する有機低誘電率膜を用いることもできる。

【0064】一方、絶縁膜28は、たとえば前記絶縁膜19と同様に、TEOSガスとO₃ガスとを原料ガスとしたプラズマCVD法で形成されるTEOS酸化膜とすることができる。なお、TEOS酸化膜には限られず、シリコン窒化膜よりも低い比誘電率を有する絶縁膜を用いることもできる。

【0065】ハードマスクは、たとえば前記ハードマスク20と同様に、タングステン膜、窒化チタン膜、窒化タンタル膜またはアルミニウム膜とすることができる。

【0066】次に、ハードマスク上にフォトリソグラフィ技術を用いて配線溝パターンにパターンニングされたレジスト膜を形成し、ドライエッチング処理を施すことにより、ハードマスクに配線溝パターンを転写する。その後、酸素プラズマを用いたアッシャ処理によりレジスト膜を除去するが、ストップ絶縁膜27を構成する有機SOG膜は、絶縁膜28で覆われており、有機SOG膜は酸素プラズマに晒されない。これにより、有機SOG膜の酸素プラズマによる変質を防ぐことができる。

【0067】次に、パターンニングされたハードマスクをマスクとし、ストップ絶縁膜27をエッチング用ストップとして、絶縁膜28に配線溝29の一部を形成する

（第1のエッチング）。続いて、上記ハードマスクをマスクとして、ストップ絶縁膜27に配線溝29の他の一部を形成する（第2のエッチング）。この第2のエッチングの条件には、前記第1の方法と第2の方法の2通りの方法を採用することができる。

【0068】次に、配線溝29の内部に第3配線層の配線30を形成する。配線30は、バリアメタル層および主導電層からなり、バリアメタル層は、たとえば窒化チタン膜、主導電層はたとえば銅である。配線30の形成は以下のようにして行う。まず、配線溝29の内部を含む半導体基板1の全面に窒化チタン膜を形成し、その後

配線溝29を埋め込む銅膜を形成する。窒化チタン膜の形成には、たとえばCVD法を、銅膜の形成には、たとえばメッキ法を用いる。メッキ法による銅膜の形成前に、たとえばスパッタ法により銅のシード層を形成できる。その後、配線溝29以外の領域の銅膜および窒化チタン膜をCMP法により除去して第3配線層の配線31を形成できる。

【0069】次に、図16に示すように、第3配線層の配線30を覆う絶縁膜、たとえばシリコン酸化膜を形成し、この絶縁膜をCMP法により平坦化して第4層間絶縁膜31を形成する。次いで、第4層間絶縁膜31上に接続孔が形成される領域に開孔を有するフォトレジスト膜を形成し、このフォトレジスト膜をマスクとしてエッチングを施す。これにより第4層間絶縁膜31の所定の領域に接続孔32を形成する。

【0070】次に、接続孔32の内部を含む半導体基板1の全面にバリアメタル層を形成し、さらに接続孔32を埋め込むタングステン膜を形成する。その後、接続孔32以外の領域のタングステン膜およびバリアメタル層をCMP法により除去してプラグ33を形成する。バリアメタル層はたとえば窒化チタン膜を例示できる。タングステン膜は主導電層として機能し、たとえばCVD法またはスパッタ法で形成できる。

【0071】次に、図17に示すように、前記第2配線層と同様な形成方法で、第4配線層を形成する。まず、プラグ33および第4層間絶縁膜31上にストップ絶縁膜34、絶縁膜35、ハードマスク（図示せず）を順次形成する。ストップ絶縁膜34は、絶縁膜35に対して高いエッチング選択比を有する材料で構成され、たとえば前記ストップ絶縁膜18と同様に、塗布法で形成される有機SOG膜とすることができる。なお、有機SOG膜には限られず、絶縁膜35に対して高いエッチング選択比を有し、かつシリコン酸化膜よりも低い比誘電率を有する有機低誘電率膜を用いることもできる。

【0072】一方、絶縁膜35は、たとえば前記絶縁膜19と同様に、TEOSガスとO₃ガスとを原料ガスとしたプラズマCVD法で形成されるTEOS酸化膜とすることができる。なお、TEOS酸化膜には限られず、シリコン窒化膜よりも低い比誘電率を有する絶縁膜を用いることもできる。

【0073】ハードマスクは、たとえば前記ハードマスク20と同様に、タングステン膜、窒化チタン膜、窒化タンタル膜またはアルミニウム膜とすることができる。

【0074】次に、ハードマスク上にフォトリソグラフィ技術を用いて配線溝パターンにパターンニングされたレジスト膜を形成し、ドライエッチング処理を施すことにより、ハードマスクに配線溝パターンを転写する。その後、酸素プラズマを用いたアッシャ処理によりレジスト膜を除去するが、ストップ絶縁膜34を構成する有機SOG膜は、絶縁膜35で覆われており、有機SOG膜は

酸素プラズマに晒されない。これにより、有機SOG膜の酸素プラズマによる変質を防ぐことができる。

【0075】次に、パターンニングされたハードマスクをマスクとし、ストップ絶縁膜34をエッチング用ストップパとして、絶縁膜35に配線溝36の一部を形成する（第1のエッチング）。続いて、上記ハードマスクをマスクとして、ストップ絶縁膜34に配線溝36の他の一部を形成する（第2のエッチング）。この第2のエッチングの条件には、前記第1の方法と第2の方法の2通りの方法を採用することができる。

【0076】次に、配線溝36の内部に第4配線層の配線37を形成する。配線37は、バリアメタル層および主導電層からなり、バリアメタル層はたとえば窒化チタン膜、主導電層はたとえば銅である。配線37の形成は以下のようにして行う。まず、配線溝36の内部を含む半導体基板1の全面に窒化チタン膜を形成し、その後配線溝36を埋め込む銅膜を形成する。窒化チタン膜の形成には、たとえばCVD法を、銅膜の形成には、たとえばメッキ法を用いる。メッキ法による銅膜の形成前に、たとえばスパッタ法により銅のシード層を形成できる。その後、配線溝36以外の領域の銅膜および窒化チタン膜をCMP法により除去して配線37を形成できる。

【0077】次に、図18に示すように、第4配線層の配線37を覆う絶縁膜、たとえばシリコン酸化膜を形成し、この絶縁膜をCMP法により平坦化して第5層間絶縁膜38を形成する。次いで、第5層間絶縁膜38上に接続孔が形成される領域に開孔を有するフォトリソレジスト膜を形成し、このフォトリソレジスト膜をマスクとしてエッチングを施す。これにより第5層間絶縁膜38の所定の領域に接続孔39を形成する。

【0078】次に、接続孔39の内部を含む半導体基板1の全面にバリアメタル層を形成し、さらに接続孔39を埋め込むタングステン膜を形成する。その後、接続孔39以外の領域のタングステン膜およびバリアメタル層をCMP法により除去してプラグ40を形成する。バリアメタル層はたとえば窒化チタン膜を例示できる。タングステン膜は主導電層として機能し、たとえばCVD法またはスパッタ法で形成できる。

【0079】次に、図19に示すように、前記第2配線層と同様な形成方法で、第5配線層を形成する。まず、プラグ40および第5層間絶縁膜38上にストップ絶縁膜41、絶縁膜42、ハードマスク（図示せず）を順次形成する。ストップ絶縁膜41は、絶縁膜42に対して高いエッチング選択比を有する材料で構成され、たとえば前記ストップ絶縁膜18と同様に、塗布法で形成される有機SOG膜とすることができる。なお、有機SOG膜には限られず、絶縁膜42に対して高いエッチング選択比を有し、かつシリコン酸化膜よりも低い比誘電率を有する有機低誘電率膜を用いることもできる。

【0080】一方、絶縁膜42は、たとえば前記絶縁膜

19と同様に、TEOSガスとO₃ガスとを原料ガスとしたプラズマCVD法で形成されるTEOS酸化膜とすることができる。なお、TEOS酸化膜には限られず、シリコン窒化膜よりも低い比誘電率を有する絶縁膜を用いることもできる。

【0081】ハードマスクは、たとえば前記ハードマスク20と同様に、タングステン膜、窒化チタン膜、窒化タンタル膜またはアルミニウム膜とすることができる。

【0082】次に、ハードマスク上にフォトリソグラフィ技術を用いて配線溝パターンにパターンニングされたレジスト膜を形成し、ドライエッチング処理を施すことにより、ハードマスクに配線溝パターンを転写する。その後、酸素プラズマを用いたアッシャ処理によりレジスト膜を除去するが、ストップ絶縁膜41を構成する有機SOG膜は、絶縁膜42で覆われており、有機SOG膜は酸素プラズマに晒されない。これにより、有機SOG膜の酸素プラズマによる変質を防ぐことができる。

【0083】次に、パターンニングされたハードマスクをマスクとし、ストップ絶縁膜41をエッチング用ストップパとして、絶縁膜42に配線溝43の一部を形成する（第1のエッチング）。続いて、上記ハードマスクをマスクとして、ストップ絶縁膜41に配線溝43の他の一部を形成する（第2のエッチング）。この第2のエッチングの条件には、前記第1の方法と第2の方法の2通りの方法を採用することができる。

【0084】次に、配線溝43の内部に第5配線層の配線44を形成する。配線44は、バリアメタル層および主導電層からなり、バリアメタル層はたとえば窒化チタン膜、主導電層はたとえば銅である。配線44の形成は以下のようにして行う。まず、配線溝43の内部を含む半導体基板1の全面に窒化チタン膜を形成し、その後配線溝43を埋め込む銅膜を形成する。窒化チタン膜の形成には、たとえばCVD法を、銅膜の形成には、たとえばメッキ法を用いる。メッキ法による銅膜の形成前に、たとえばスパッタ法により銅のシード層を形成できる。その後、配線溝43以外の領域の銅膜および窒化チタン膜をCMP法により除去して配線44を形成できる。

【0085】その後、同様な方法で第6配線層以上の任意の配線層が形成できるが、詳細な説明は省略する。

【0086】このように、本実施の形態1によれば、たとえば第2配線層にその詳細を例示したように、配線パターンがパターンニングされたレジスト膜21を用いて配線溝パターンをハードマスク20に転写した後、レジスト膜21を酸素プラズマで除去し、次いで配線溝パターンが転写されたハードマスク20をマスクとして絶縁膜19およびストップ絶縁膜18が順次エッチングされる。従って、レジスト膜21を除去する際、ストップ絶縁膜18を構成する酸素プラズマ耐性の低い有機SOG膜はTEOS酸化膜で構成される絶縁膜19により保護されており、有機SOG膜は酸素プラズマの影響を受け

ることがない。また、ストップ絶縁膜 18 を加工する際は、後にエッチング法または CMP 法で除去されるハードマスク 20 をマスクとしてエッチングされるので、ストップ絶縁膜 18 を構成する有機 SOG 膜は酸素プラズマに晒されることがない。これらにより、ストップ絶縁膜 18 を構成する有機 SOG 膜の膜質の変化を抑えることができる。

【0087】さらに、たとえば第 2 配線層にその詳細を例示したように、TEOS 酸化膜で構成される絶縁膜 19 への溝加工の際のエッチング用ストップとして、比誘電率が 2~3 程度と相対的に低い有機 SOG 膜で構成されるストップ絶縁膜 18 を用いることで、第 2 配線層を取り囲む絶縁膜を、TEOS 酸化膜とシリコン酸化膜よりも低い誘電率を有する有機 SOG 膜とで構成することが可能となり、配線間容量の増加を抑えることができる。

【0088】なお、多層配線を構成するその他の配線層（本実施の形態 1 で例示した第 3 配線層~第 5 配線層）も第 2 配線層と同様な製造方法で形成されており、第 2 配線層と同様な効果を得ることができる。

【0089】（実施の形態 2）図 20~図 28 は、本発明の実施の形態 2 である半導体装置の製造方法をその工程順に示した一部断面図である。図 20~図 28 では第 2 配線層のみを示す。

【0090】本実施の形態 2 の製造方法は、実施の形態 1 における図 3 までの工程と同様の工程の後、図 20 のように、プラグ 16 上にストップ絶縁膜 18、絶縁膜 19 を順次堆積し、さらにハードマスク 45 を形成する。このハードマスク 45 は、たとえばシリコン窒化膜からなり、膜厚はたとえば 50~200 nm 程度である。ハードマスク 45 を構成するシリコン窒化膜は、たとえば成膜温度の低温下を図ることができるプラズマ CVD 法で形成される。

【0091】次に、ハードマスク 45 上に、フォトリソグラフィ技術を用いてレジスト膜 21 を形成する。レジスト膜 21 は、配線パターンである配線溝が形成される領域に開孔が形成されるように、配線溝パターンにパターンニングされる。

【0092】次に、図 21 示すように、レジスト膜 21 の存在下でドライエッチング処理を施して、ハードマスク 45 に配線溝パターンを転写し、続いて絶縁膜 19 の上部をエッチングすることで、配線溝 22 の一部を形成する。ここで、絶縁膜 19 のエッチングは、ストップ絶縁膜 18 の表面が露出する手前で停止させる。

【0093】その後、図 22 示すように、酸素プラズマを用いたアッシュ処理によりレジスト膜 21 を除去する。このようにして配線の溝パターンが転写されたハードマスク 45 が形成される。この時、絶縁膜 19 の上部には配線溝 22 の一部が形成されているが、ストップ絶縁膜 18 を構成する有機 SOG 膜は、未だ酸素プラズマ

耐性の高い絶縁膜 19 で覆われており、有機 SOG 膜は酸素プラズマに晒されない。これにより、有機 SOG 膜の上記酸素プラズマによる変質を防ぐことができる。

【0094】次に、図 23 に示すように、パターンニングされたハードマスク 45 をマスクとし、ストップ絶縁膜 18 をエッチング用ストップとして第 1 のエッチングを施す。この第 1 のエッチングにより、残りの絶縁膜 19 の下部に配線溝 22 のさらに一部を形成する。このエッチングの条件は、絶縁膜 19（TEOS 酸化膜）がエッチングされ易く、ハードマスク 45 およびストップ絶縁膜 18（有機 SOG 膜）がエッチングされ難い条件、たとえば TEOS 酸化膜に対するシリコン窒化膜のエッチング選択比が 10 以上となる条件を選択する。

【0095】続いて、上記ハードマスク 45 をマスクとして第 2 のエッチングを施す。この第 2 のエッチングにより露出しているストップ絶縁膜 18 を除去して、さらにストップ絶縁膜 18 に配線溝 22 の残りの一部を形成する。このエッチングの条件には、次の 2 通りの方法を探ることができる。

【0096】第 1 の方法は、図 24 に示すように、ストップ絶縁膜 18（有機 SOG 膜）に対するハードマスク 45 のエッチング選択比が低い条件を選択する方法であって、ハードマスク 45 とストップ絶縁膜 18 とがほぼ同等のエッチング速度でエッチングされる。

【0097】第 2 の方法は、図 25 に示すように、ストップ絶縁膜 18（有機 SOG 膜）に対するハードマスク 45 のエッチング選択比が高い条件を選択する方法であって、ストップ絶縁膜 18 はエッチングされるがハードマスク 45 はエッチングされにくい条件で選択エッチングされる。

【0098】次に、実施の形態 1 の図 10 の工程と同様に、配線溝 22 の内部に第 2 配線層の配線 23 を形成する。図 26 は、前記図 24 を用いて説明した第 1 の方法によってストップ絶縁膜 18 を除去することで形成された配線溝 22 に、バリアメタル層 23 a、シード層（図示せず）および銅のメッキ層 23 b を形成した場合を示しており、図 27 は、前記図 25 を用いて説明した第 2 の方法によってストップ絶縁膜 18 を除去することで形成された配線溝 22 に、バリアメタル層 23 a、シード層（図示せず）および銅のメッキ層 23 b を形成した場合を示している。

【0099】次に、図 28 に示すように、CMP 法を用いてメッキ層 23 b およびシード層を研磨する。さらに、研磨を継続し、絶縁膜 19 上のバリアメタル層 23 a も除去する。これにより配線溝 22 の領域以外のバリアメタル層 23 a および銅膜（メッキ層 23 およびシード層）を除去する。

【0100】ここで、前記図 24 に示した第 1 の方法を用いてストップ絶縁膜 18 を除去した場合は、絶縁膜 19 上のバリアメタル層 23 a の除去が終了する状態まで

研磨除去が上記CMP法を用いて行われる。これに対し、前記図 25 に示した第 2 の方法を用いてストップ絶縁膜 18 を除去した場合は、絶縁膜 19 上のバリア金属層 23 a の除去を終了させ、さらにハードマスク 45 の除去が終了する状態まで研磨除去が上記CMP法を用いて行われる。

【0101】以上のようにして、本実施の形態 2 の第 2 配線層の配線 23 が完成する。

【0102】このように、本実施の形態 2 によれば、ハードマスク 45 にシリコン窒化膜を用いた場合でも、前記実施の形態 1 で説明したと同様に、ストップ絶縁膜 18 を構成する有機 SOG 膜が酸化プラズマの影響を受けないことで、有機 SOG 膜の膜質の変化を抑えることのできる効果と、ストップ絶縁膜 18 に低誘電率材料である有機 SOG 膜を用いることで配線間容量の増加を抑えることのできる効果とを得ることができる。

【0103】（実施の形態 3）図 29～図 37 は、本発明の実施の形態 3 である半導体装置の製造方法をその工程順に示した一部断面図である。図 29～図 37 では第 2 配線層のみを示す。

【0104】本実施の形態 3 の製造方法は、実施の形態 1 における図 3 までの工程と同様の工程の後、水素（H₂）アニール処理を半導体基板 1 に施す。水素アニール処理の条件は、たとえば温度 475℃、処理時間 5 分とすることができる。次いで、図 29 に示すように、プラグ 16 上に接着層 46 を堆積した後、さらにストップ絶縁膜 18、絶縁膜 19、ハードマスク 20 を順次形成する。接着層 46 は、たとえば TEOS 酸化膜とすることができる。その厚さは、後の工程においてストップ絶縁膜 18 をエッチングで除去する際のオーバーエッチングで除去できる厚さである 50 nm 以下に設定され、たとえば約 25 nm 程度である。

【0105】接続孔 16 に埋め込まれたプラグ 17 に生ずる埋め込み不良によって、プラグ 17 の内部に隙間が生じ、この隙間からの脱ガスによってプラグ 17 上のストップ絶縁膜 18 がはがれることがある。しかし、プラグ 17 を形成した後に水素アニール処理を施すことにより、プラグ 17 に生じた隙間から積極的に脱ガスを発生させて、ストップ絶縁膜 18 に及ぼす脱ガスの影響を防ぐことができる。さらに、ストップ絶縁膜 18 の下に接着層 46 を堆積することで、水素アニール処理が不充分であっても、ストップ絶縁膜 18 または絶縁膜 19 の成膜時における上記脱ガスの影響によるストップ絶縁膜 18 のはがれを防ぐことができる。なお、ストップ絶縁膜 18 のはがれ防止の効果は、水素アニール処理のみ、または接着層 46 の成膜のみでも得ることが可能である。

【0106】次に、ハードマスク 20 上に、フォトリソグラフィ技術を用いてレジスト膜 21 を形成する。レジスト膜 21 は、配線パターンである配線溝が形成される領域に開孔が形成されるように、配線溝パターンにパタ

ーニングされる。

【0107】次に、図 30 に示すように、レジスト膜 21 の存在下でドライエッチング処理を施して、ハードマスク 20 に配線溝パターンを転写した後、図 31 に示すように、酸素プラズマを用いたアッシュ処理によりレジスト膜 21 を除去する。このようにして配線の溝パターンが転写されたハードマスク 20 が形成される。この時、ストップ絶縁膜 18 を構成する有機 SOG 膜は、酸素プラズマ耐性の高い絶縁膜 19 で覆われており、有機 SOG 膜は酸素プラズマに晒されない。これにより、有機 SOG 膜の上記酸素プラズマによる変質を防ぐことができる。

【0108】次に、図 32 に示すように、パターンニングされたハードマスク 20 をマスクとし、ストップ絶縁膜 18 をエッチング用ストップとして第 1 のエッチングを施す。この第 1 のエッチングにより、絶縁膜 19 に配線溝 22 の一部を形成する。このエッチングの条件は、絶縁膜 19（TEOS 酸化膜）がエッチングされ易く、ハードマスク 20 およびストップ絶縁膜 18（有機 SOG 膜）がエッチングされ難い条件を選択する。

【0109】続いて、上記ハードマスク 20 をマスクとして第 2 のエッチングを施す。この第 2 のエッチングにより露出しているストップ絶縁膜 18 および接着層 46 を順次除去して、ストップ絶縁膜 18 および接着層 46 に配線溝 22 の他の一部を形成する。このエッチングの条件には、次の 2 通りの方法を採用することができる。

【0110】第 1 の方法は、図 33 に示すように、ストップ絶縁膜 18（有機 SOG 膜）および接着層 46（TEOS 酸化膜）に対するハードマスク 20 のエッチング選択比が低い条件を選択する方法であって、ハードマスク 20 とストップ絶縁膜 18、ハードマスク 20 と接着層 46 とがほぼ同等のエッチング速度でエッチングされる。

【0111】第 2 の方法は、図 34 に示すように、ストップ絶縁膜 18（有機 SOG 膜）および接着層 46（TEOS 酸化膜）に対するハードマスク 20 のエッチング選択比が高い条件を選択する方法であって、ストップ絶縁膜 18 はエッチングされるがハードマスク 20 はエッチングされにくい条件で選択エッチングされる。

【0112】次に、実施の形態 1 の図 10 の工程と同様に、配線溝 22 の内部に第 2 配線層の配線 23 を形成する。図 35 は、前記図 33 を用いて説明した第 1 の方法によってストップ絶縁膜 18 および接着層 46 を除去することで形成された配線溝 22 に、バリア金属層 23 a、シード層（図示せず）および銅のメッキ層 23 b を形成した場合を示しており、図 36 は、前記図 34 を用いて説明した第 2 の方法によってストップ絶縁膜 18 を除去することで形成された配線溝 22 に、バリア金属層 23 a、シード層（図示せず）および銅のメッキ層 23 b を形成した場合を示している。

【0113】次に、図37に示すように、CMP法を用いてメッキ層23bおよびシード層を研磨する。さらに、研磨を継続し、絶縁膜19上のバリアメタル層23aも除去する。これにより配線溝22の領域以外のバリアメタル層23aおよび銅膜（メッキ層23およびシード層）を除去する。

【0114】ここで、前記図33に示した第1の方法を用いてストップ絶縁膜18を除去した場合は、絶縁膜19上のバリアメタル層23aの除去が終了する状態まで研磨除去が上記CMP法を用いて行われる。これに対し、前記図34に示した第2の方法を用いてストップ絶縁膜18を除去した場合は、絶縁膜19上のバリアメタル層23aの除去を終了させ、さらにハードマスク20の除去が終了する状態まで研磨除去が上記CMP法を用いて行われる。

【0115】以上のようにして、本実施の形態3の第2配線層の配線23が完成する。

【0116】このように、本実施の形態3によれば、前記実施の形態1で説明したと同様に、ストップ絶縁膜18を構成する有機SOG膜が酸化プラズマの影響を受けないことで、有機SOG膜の膜質の変化を抑えることのできる効果と、ストップ絶縁膜18に低誘電率材料である有機SOG膜を用いることで配線間容量の増加を抑えることのできる効果とを得ることができる。これら効果に加えて、プラグ17を形成した後に水素アニール処理を行うことで、プラグ17に生じた隙間からの脱ガスを積極的に発生させることができ、さらに、プラグ17上に接着層46を設けることで、ストップ絶縁膜18または絶縁膜19の成膜時において上記脱ガスが発生しても、脱ガスの影響によるストップ絶縁膜18のはがれを防ぐことができる。

【0117】（実施の形態4）図38～図46は、本発明の実施の形態4である半導体装置の製造方法をその工程順に示した一部断面図である。図38～図46では第2配線層のみを示す。

【0118】本実施の形態4の製造方法は、実施の形態1における図3までの工程と同様の工程の後、図38に示すように、プラグ16の上に第1絶縁膜47、第2絶縁膜48およびハードマスク20を順次形成する。第1絶縁膜48は、たとえば有機SOG膜からなり、その厚さは、たとえば200～3000nm程度である。なお、有機SOG膜には限られず、第2絶縁膜48に対して高いエッチング選択比を有し、かつシリコン酸化膜よりも低い比誘電率を有する有機低誘電率膜を用いることもできる。第2絶縁膜48は、たとえばTEOS酸化膜からなり、その厚さは、たとえば100～500nm程度である。なお、TEOS酸化膜には限られず、シリコン窒化膜よりも低い比誘電率を有する絶縁膜を用いることもできる。

【0119】第2絶縁膜48のエッチング用ストップと

して機能する第1絶縁膜47は、エッチング用ストップに要求される膜厚が選択されると同時に、配線間容量を低減することを考慮すれば、その膜厚を厚く設定することが望まれる。前記200～3000nmはこのような条件を考慮したものである。

【0120】次に、ハードマスク20上に、フォトリソグラフィ技術を用いてレジスト膜21を形成する。レジスト膜21は、配線パターンである配線溝が形成される領域に開孔が形成されるように、配線溝パターンにパターンニングされる。

【0121】次に、図39に示すように、レジスト膜21の存在下でドライエッチング処理を施して、ハードマスク20に配線溝パターンを転写した後、図40に示すように、酸素プラズマを用いたアッシュ処理によりレジスト膜21を除去する。このようにして配線の溝パターンが転写されたハードマスク20が形成される。この時、第1絶縁膜47を構成する有機SOG膜は、酸素プラズマ耐性の高い第2絶縁膜48で覆われており、有機SOG膜は酸素プラズマに晒されない。これにより、有機SOG膜の上記酸素プラズマによる変質を防ぐことができる。

【0122】次に、図41に示すように、パターンニングされたハードマスク20をマスクとし、第1絶縁膜47をエッチング用ストップとして第1のエッチングを施す。この第1のエッチングにより、第2絶縁膜48に配線溝22の一部を形成する。このエッチングの条件は、第2絶縁膜48（TEOS酸化膜）がエッチングされやすく、ハードマスク20および第1絶縁膜47（有機SOG膜）がエッチングされ難い条件を選択する。

【0123】続いて、上記ハードマスク20をマスクとして第2のエッチングを施す。この第2のエッチングにより露出している第1絶縁膜47を除去して、第1絶縁膜47に配線溝22の他の一部を形成する。このエッチングの条件には、次の2通りの方法を探ることができる。

【0124】第1の方法は、図42に示すように、第1絶縁膜47（有機SOG膜）に対するハードマスク20のエッチング選択比が低い条件を選択する方法であって、ハードマスク20と第1絶縁膜47とがほぼ同等のエッチング速度でエッチングされる。

【0125】第2の方法は、図43に示すように、第1絶縁膜47（有機SOG膜）に対するハードマスク20のエッチング選択比が高い条件を選択する方法であって、第1絶縁膜47はエッチングされるがハードマスク20はエッチングされにくい条件で選択エッチングされる。

【0126】次に、実施の形態1の図10の工程と同様に、配線溝22の内部に第2配線層の配線23を形成する。図44は、前記図42を用いて説明した第1の方法によって第1絶縁膜47を除去することで形成された配

10

20

30

40

50

線溝 22 に、バリアメタル層 23a、シード層（図示せず）および銅のメッキ層 23b を形成した場合を示しており、図 45 は、前記図 43 を用いて説明した第 2 の方法によって第 1 絶縁膜 47 を除去することで形成された配線溝 22 に、バリアメタル層 23a、シード層（図示せず）および銅のメッキ層 23b を形成した場合を示している。

【0127】次に、図 46 に示すように、CMP 法を用いてメッキ層 23b およびシード層を研磨する。さらに、研磨を継続し、第 2 絶縁膜 48 上のバリアメタル層 23a も除去する。これにより配線溝 22 の領域以外のバリアメタル層 23a および銅膜（メッキ層 23 およびシード層）を除去する。

【0128】ここで、前記図 42 に示した第 1 の方法を用いて第 1 絶縁膜 47 を除去した場合は、第 2 絶縁膜 48 上のバリアメタル層 23a の除去が終了する状態まで研磨除去が上記 CMP 法を用いて行われる。これに対し、前記図 43 に示した第 2 の方法を用いて第 1 絶縁膜 47 を除去した場合は、第 2 絶縁膜 48 上のバリアメタル層 23a の除去を終了させ、さらにハードマスク 20 の除去が終了する状態まで研磨除去が上記 CMP 法を用いて行われる。

【0129】以上のようにして、本実施の形態 4 の第 2 配線層の配線 23 が完成する。

【0130】このように、本実施の形態 4 によれば、前記実施の形態 1 で説明したと同様に、第 1 絶縁膜 47 を構成する有機 SOG 膜が酸化プラズマの影響を受けないことで、有機 SOG 膜の膜質の変化を抑えることのできる効果と、第 1 絶縁膜 47 に低誘電率材料である有機 SOG 膜を用いることで配線間容量の増加を抑えることのできる効果とを得ることができる。特に、第 1 絶縁膜 47 に対するハードマスク 20 のエッチング選択比を高くすることで、第 1 絶縁膜 47 を厚く形成することを可能とし、これにより配線間容量の増加抑制の高い効果を得ることができる。

【0131】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0132】たとえば、前記実施の形態では、配線層が接続されるプラグをタングステン膜で構成したが、銅膜で構成してもよい。銅膜で構成されるプラグは以下のようにして形成できる。まず、接続孔の内部を含む半導体基板の全面に、銅の拡散を防止する機能を有するバリアメタル層を形成し、さらに接続孔を埋め込む銅膜を形成する。その後、接続孔以外の領域の銅膜およびバリアメタル層を CMP 法により除去してプラグを形成する。銅膜は、たとえばメッキ法で形成できる。メッキ層の形成前にシード層として薄い銅膜をスパッタ法により形成で

きる。また、銅膜は、スパッタ法により形成してもよい。この場合、スパッタ法により銅膜を形成した後、熱処理により銅膜を流動化させて、接続孔への埋め込み特性を向上するようにしてもよい。

【0133】また、前記実施の形態では、配線層の形成工程に適用した場合について説明したが、上下配線層間を接続するプラグの形成工程に適用してもよく、同様な効果が得られる。

【0134】また、前記実施の形態では、多層配線を構成する第 2 配線層以上の任意の配線層に適用した場合について説明したが、半導体基板の主面上に形成された半導体領域または電極に接続される配線層に適用してもよく、同様な効果が得られる。

【0135】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0136】本発明によれば、上下配線層の間に設けられる絶縁膜の膜質の変化を防ぐことができる。さらに、配線層とこの配線層の下層に設けられたプラグとの接着性を向上することができる。これらにより、ダマシン配線の信頼度を向上することができる。

【0137】本発明によれば、配線層を囲む絶縁膜を比誘電率が相対的に低い絶縁材料で構成することで、配線間の容量が低減し、半導体装置の性能向上を図ることができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態（実施の形態 1）である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 2】本実施の形態 1 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 3】本実施の形態 1 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 4】本実施の形態 1 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 5】本実施の形態 1 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 6】本実施の形態 1 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 7】本実施の形態 1 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 8】本実施の形態 1 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図であ

【図 4 2】本実施の形態 4 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 4 3】本実施の形態 4 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 4 4】本実施の形態 4 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 4 5】本実施の形態 4 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【図 4 6】本実施の形態 4 である半導体装置の製造方法の一例をその工程順に示した半導体基板の要部断面図である。

【符号の説明】

- | | | | |
|----|-------------|------|-----------|
| 1 | 半導体基板 | 18 | ストップバ絶縁膜 |
| 2 | 素子分離領域 | 19 | 絶縁膜 |
| 3 | p ウェル | 20 | ハードマスク |
| 4 | n ウェル | 21 | レジスト膜 |
| 5 | ゲート絶縁膜 | 22 | 配線溝 |
| 6 | ゲート電極 | 23 | 配線 |
| 7 | キャップ絶縁膜 | 23 a | バリアメタル層 |
| 8 | サイドウォールスペーサ | 23 b | メッキ層 |
| 9 | n 型半導体領域 | 24 | 第 3 層間絶縁膜 |
| 10 | p 型半導体領域 | 25 | 接続孔 |
| 11 | 第 1 層間絶縁膜 | 26 | プラグ |
| 12 | 接続孔 | 27 | ストップバ絶縁膜 |
| 13 | プラグ | 28 | 絶縁膜 |
| 14 | 配線 | 29 | 配線溝 |
| 15 | 第 2 層間絶縁膜 | 30 | 配線 |
| 16 | 接続孔 | 31 | 第 4 層間絶縁膜 |
| 17 | プラグ | 32 | 接続孔 |
| | | 33 | プラグ |
| | | 34 | ストップバ絶縁膜 |
| | | 35 | 絶縁膜 |
| | | 36 | 配線溝 |
| | | 37 | 配線 |
| | | 38 | 第 5 層間絶縁膜 |
| | | 39 | 接続孔 |
| | | 40 | プラグ |
| | | 41 | ストップバ絶縁膜 |
| | | 42 | 絶縁膜 |
| | | 43 | 配線溝 |
| | | 44 | 配線 |
| | | 45 | ハードマスク |
| | | 46 | 接着層 |
| | | 47 | 第 1 絶縁膜 |
| | | 48 | 第 2 絶縁膜 |

【図 1】

図 1

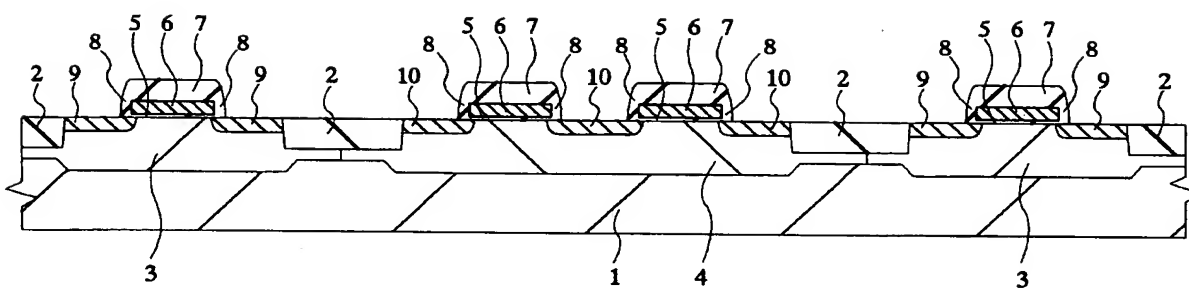
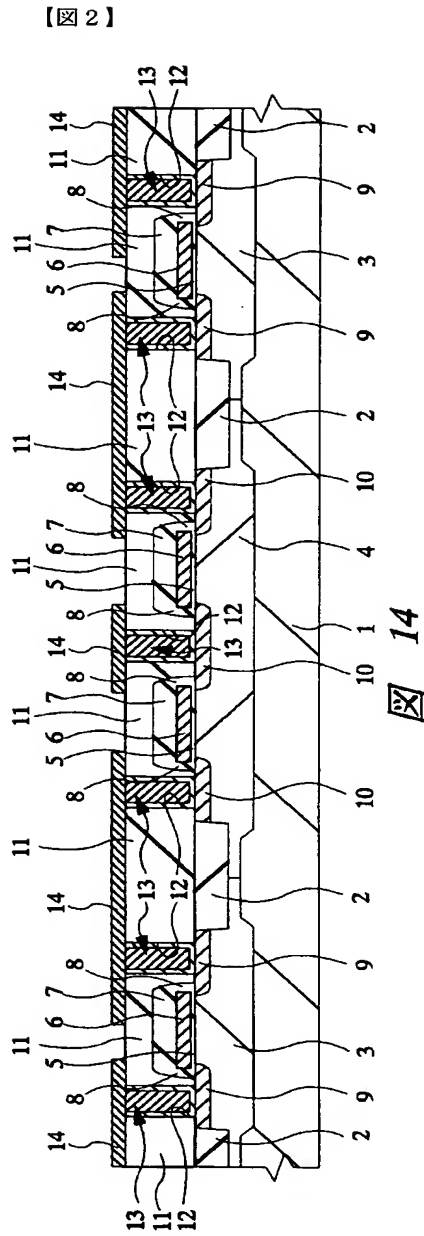
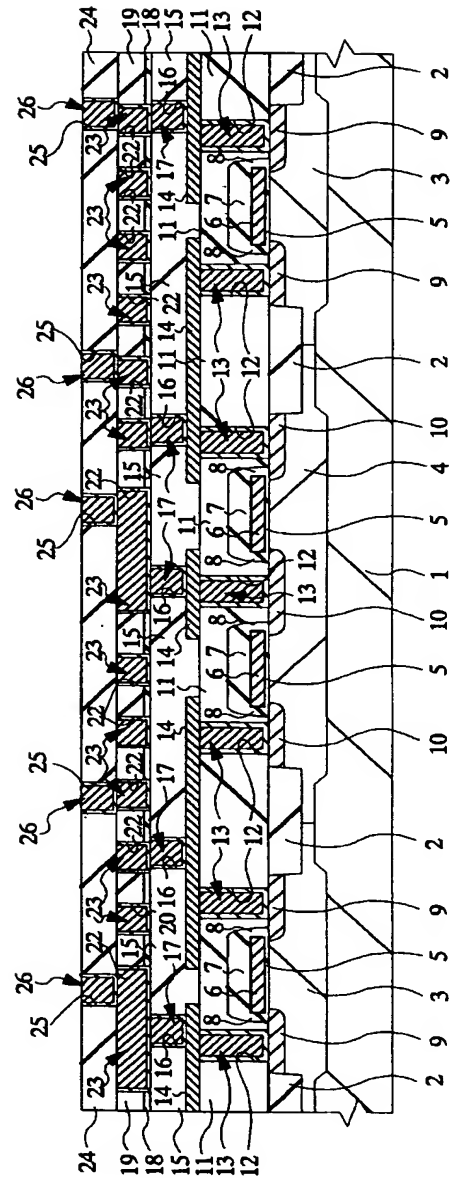


図 2

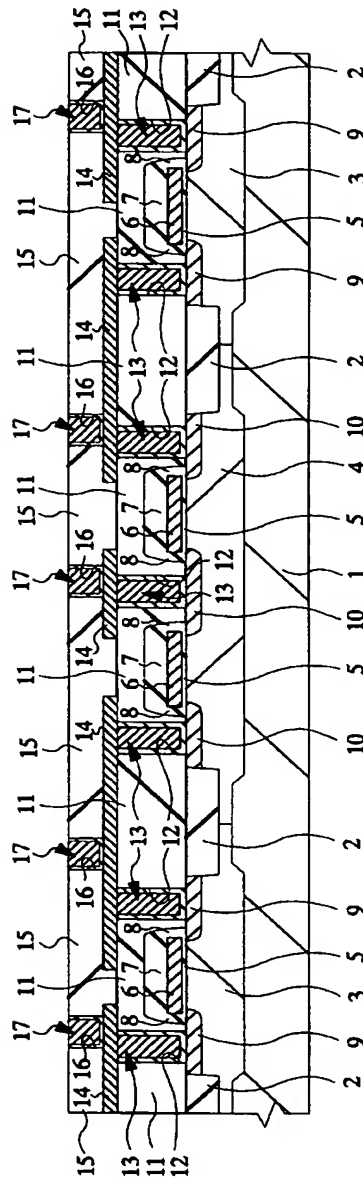


【図 14】



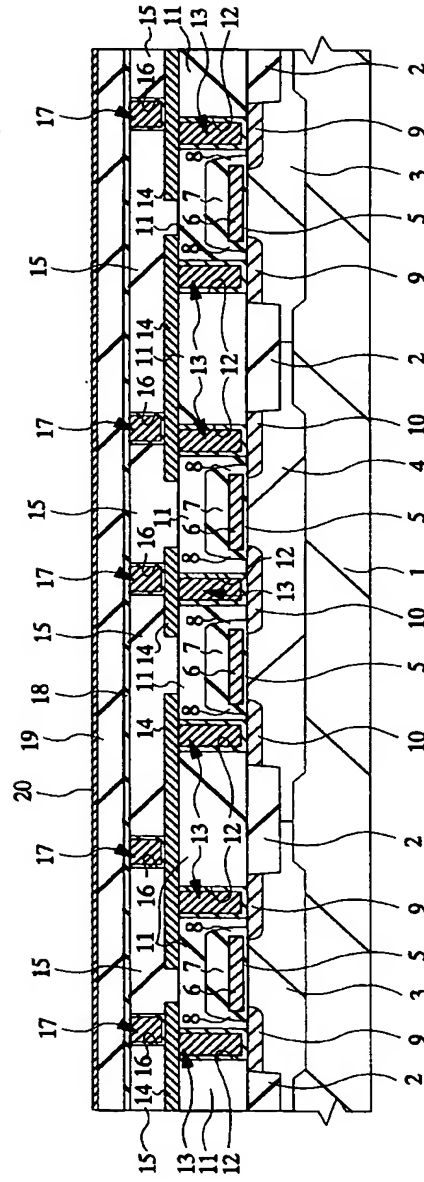
【図 3】

図 3



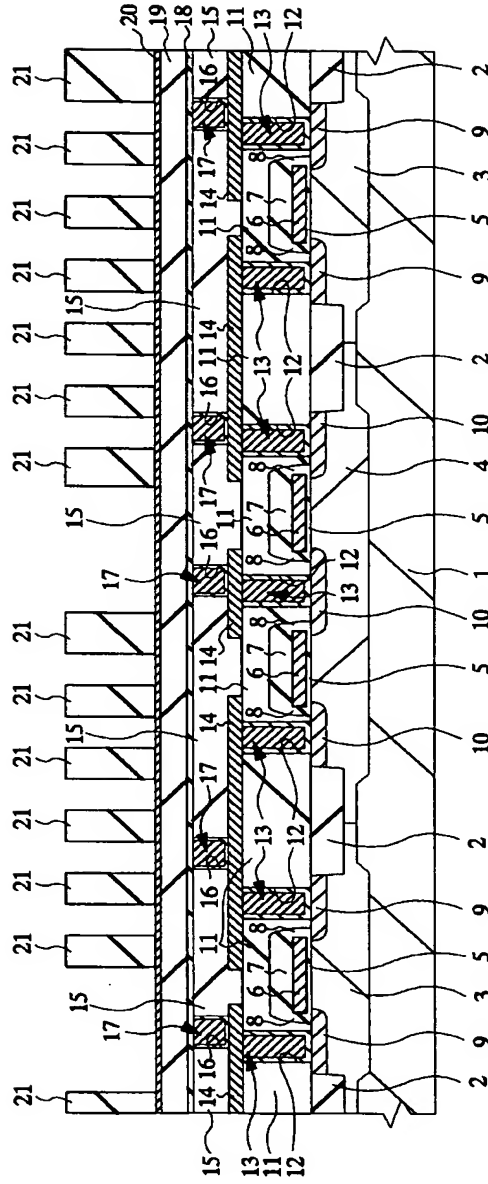
【図4】

図 4



【図 5】

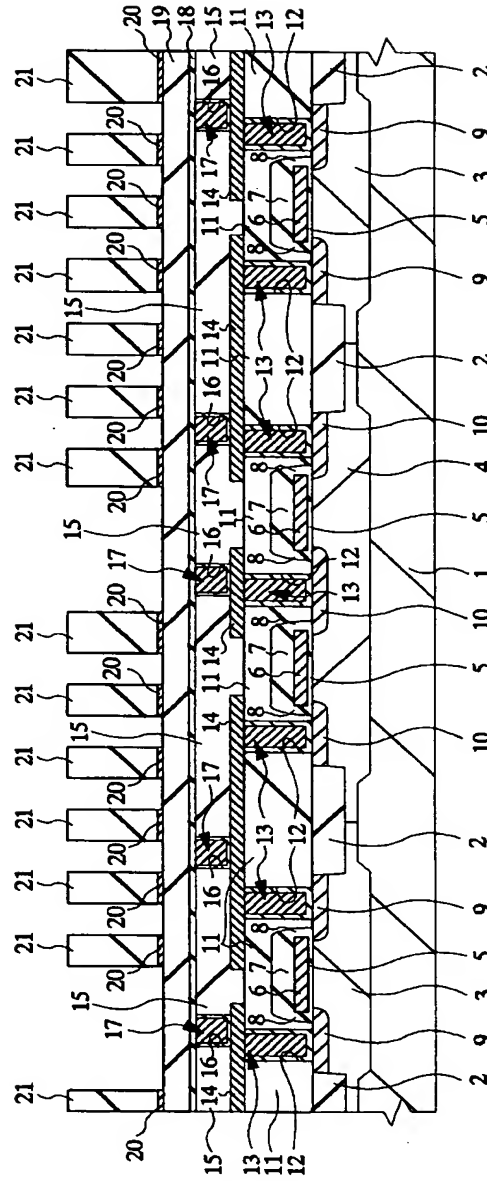
図 5



【図6】

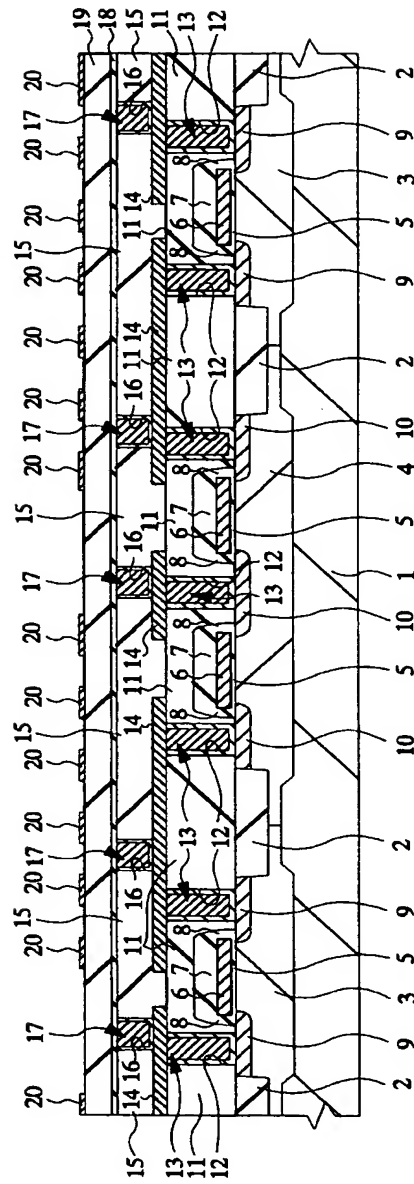
図 6

18: ストップパ絶縁膜
 19: 絶縁膜
 20: ハードマスク
 21: レジスト膜



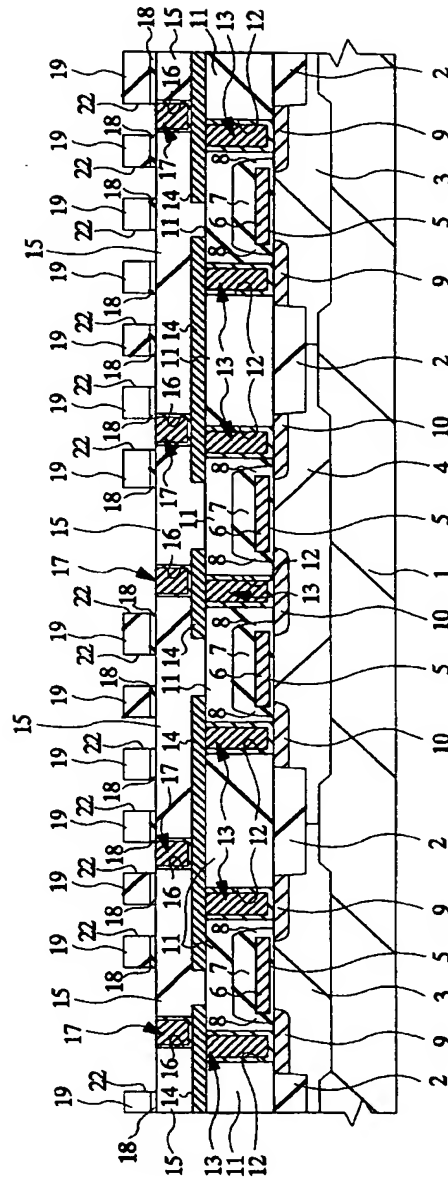
【図7】

図 7



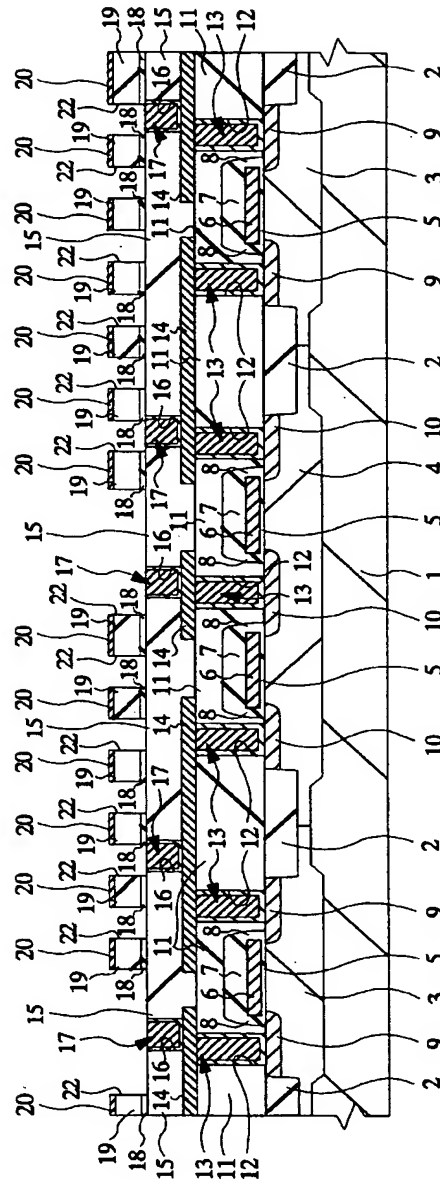
【図9】

図 9



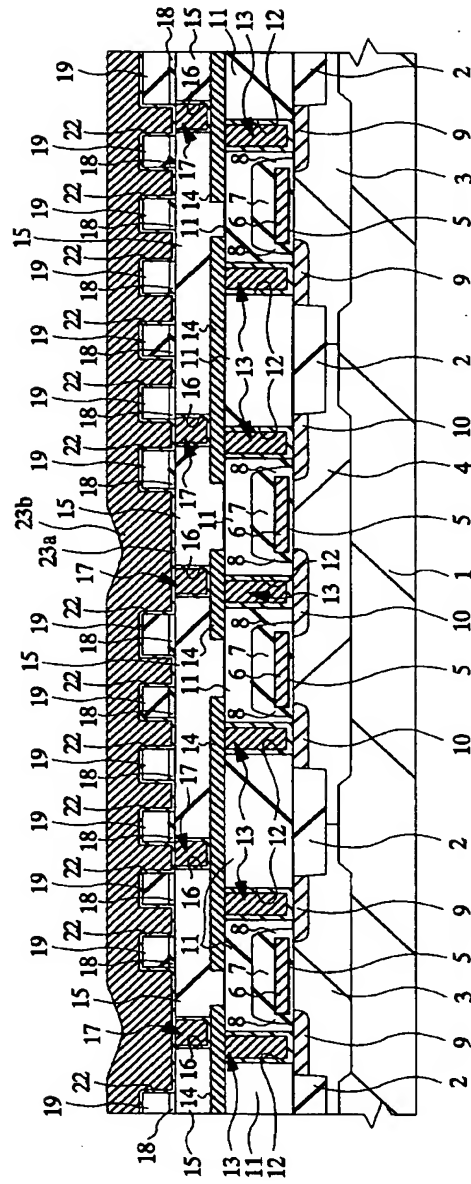
【図10】

図 10



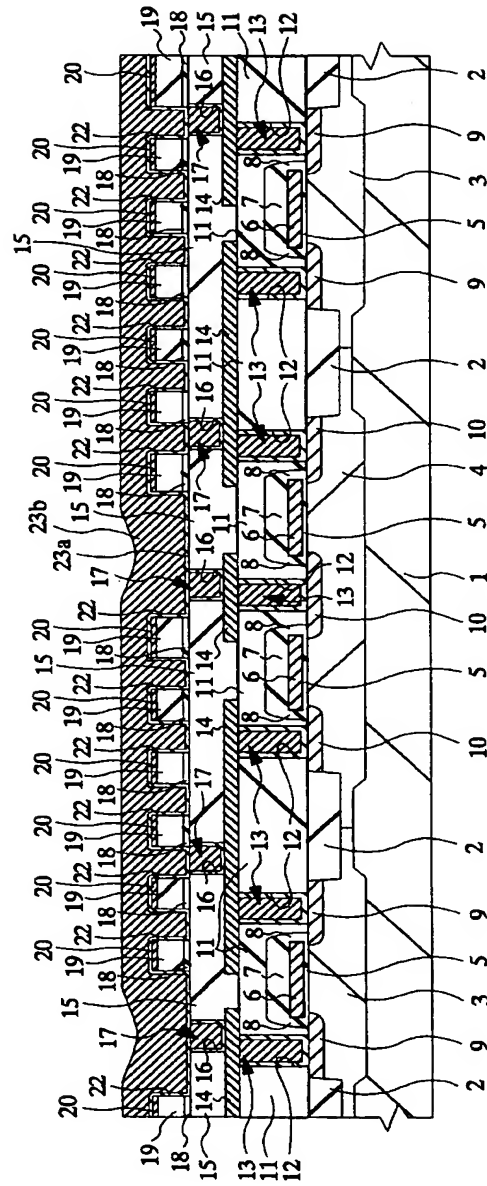
【図11】

図 11



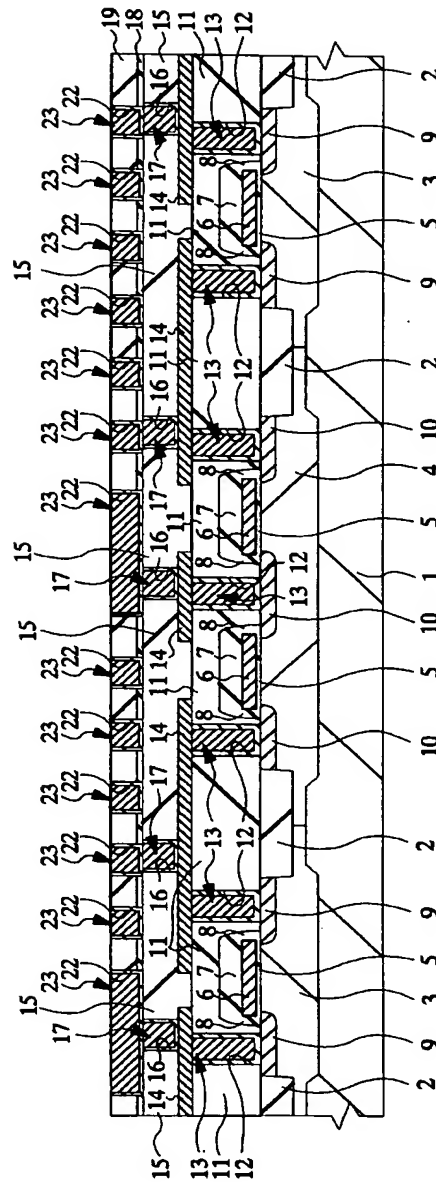
【図 12】

図 12



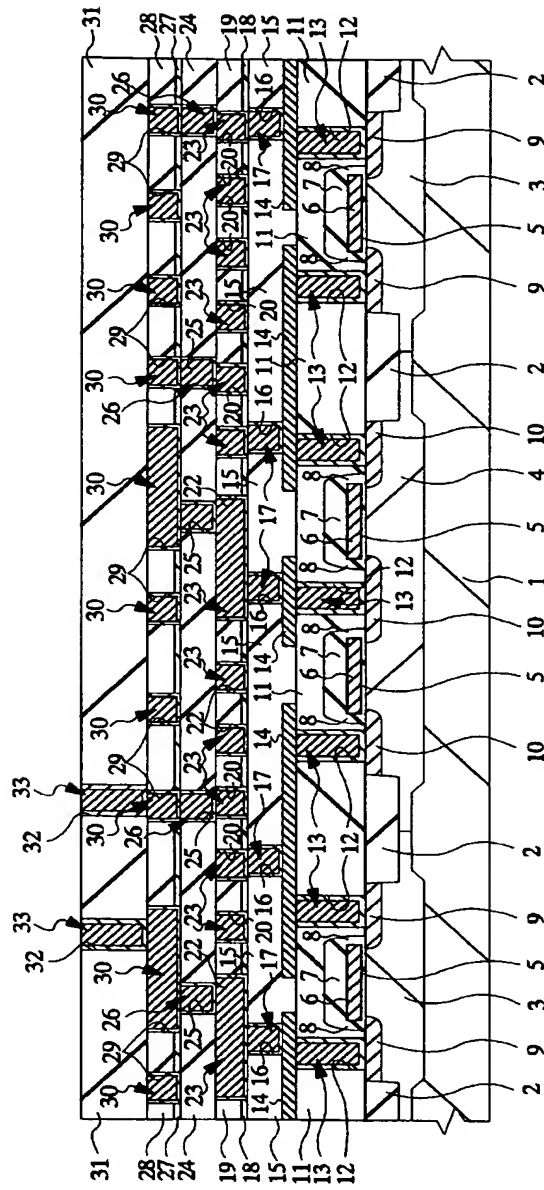
【図13】

図 13



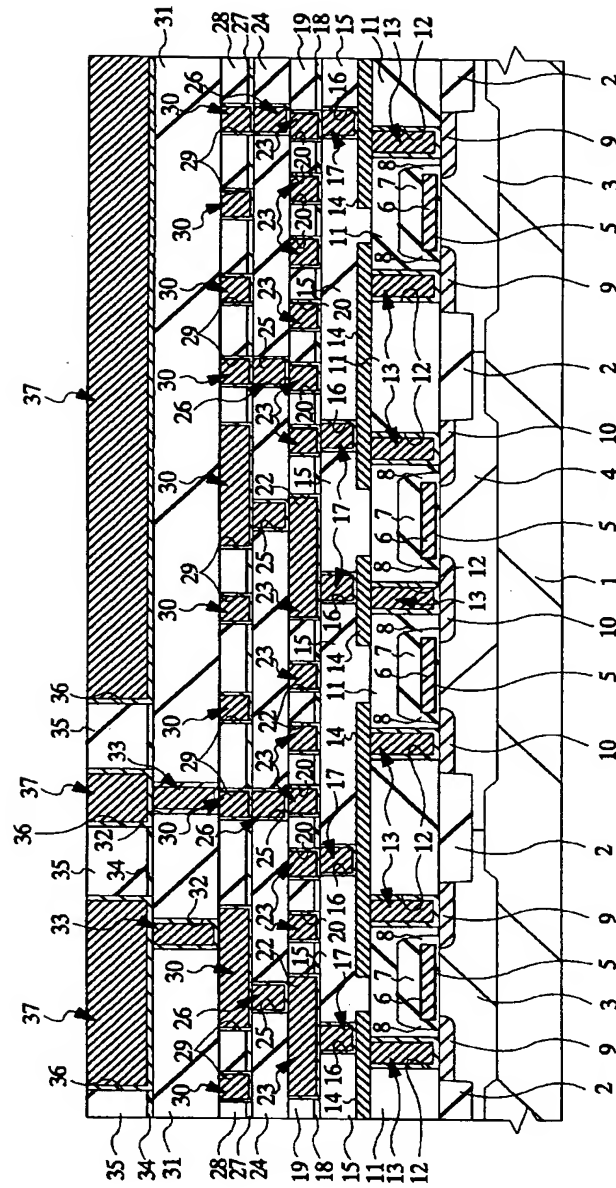
【図16】

図 16



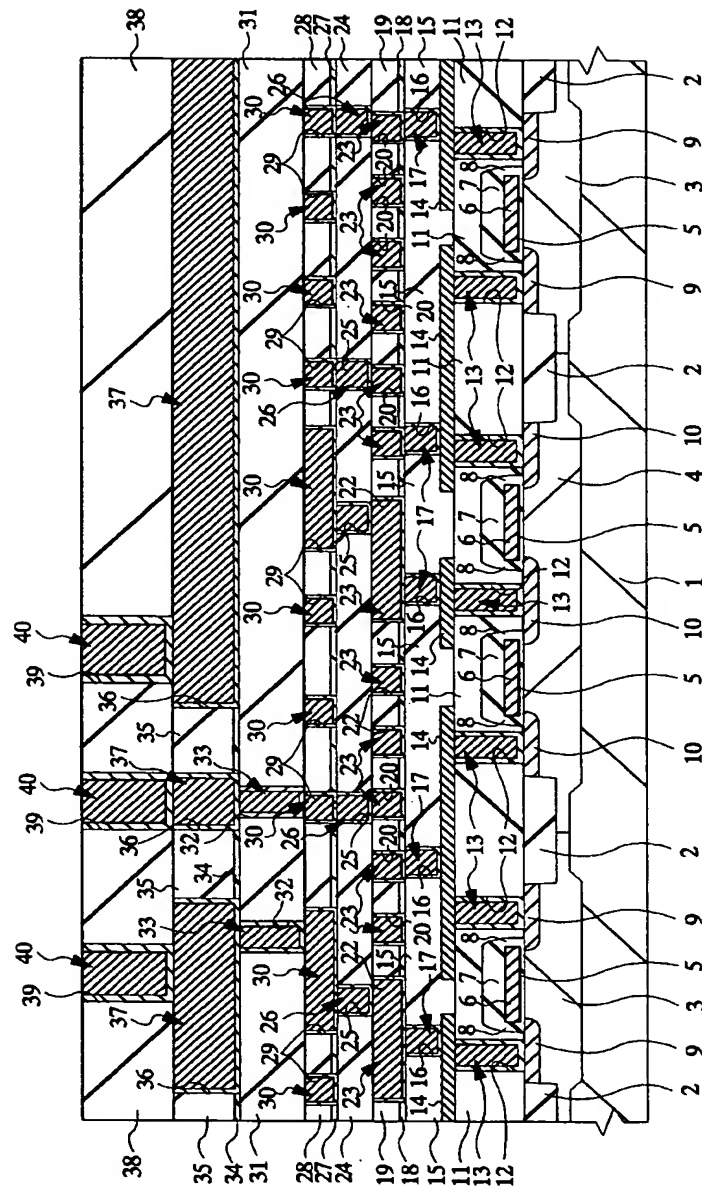
【図17】

図 17



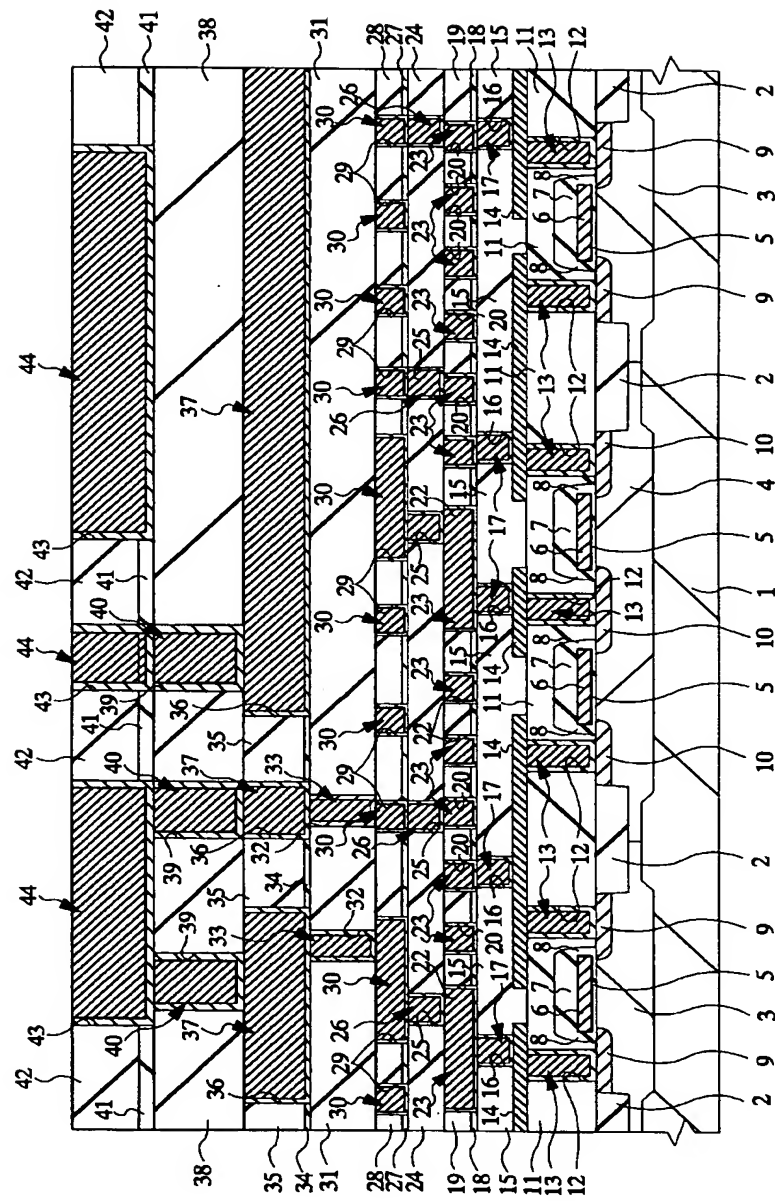
【図 18】

図 18



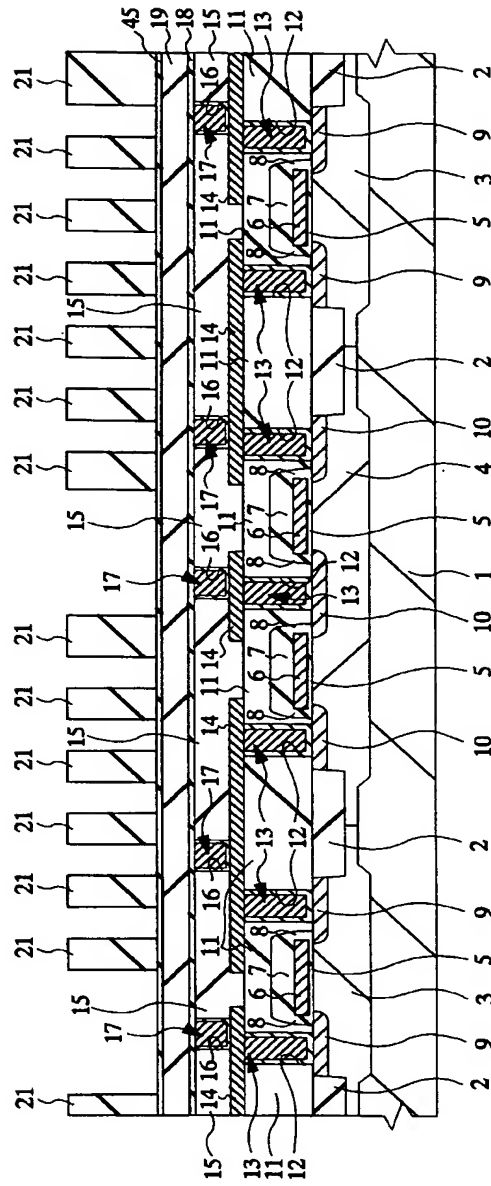
【図19】

図 19

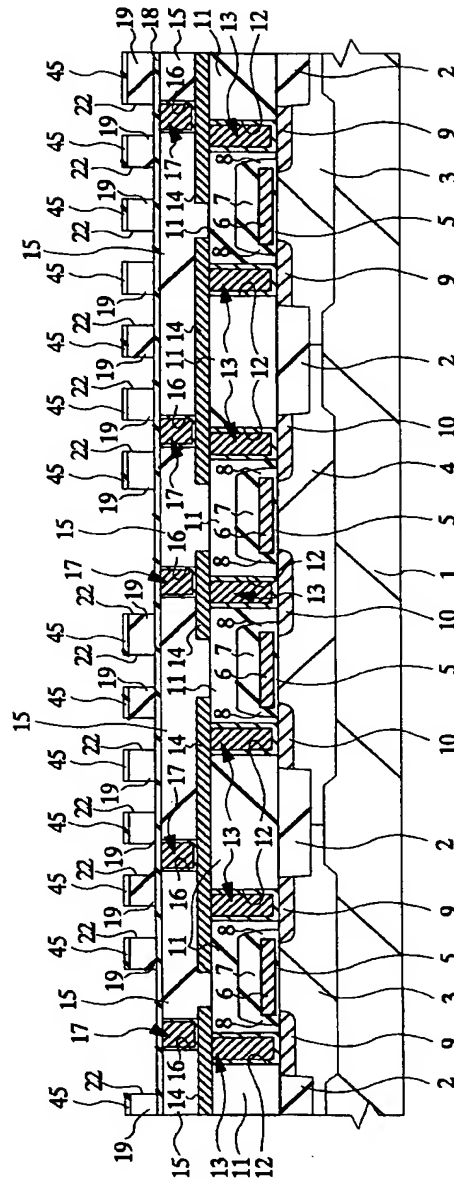


【図20】

図 20

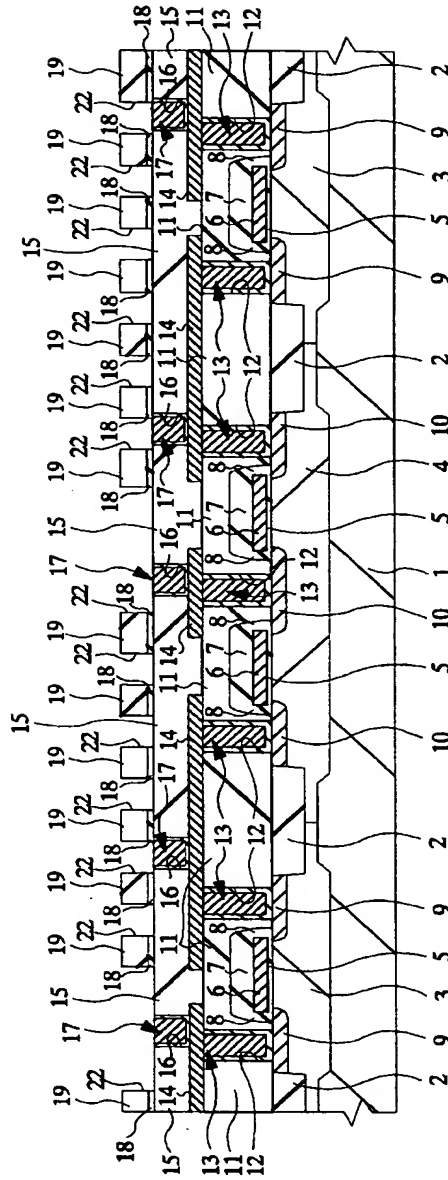


【図23】

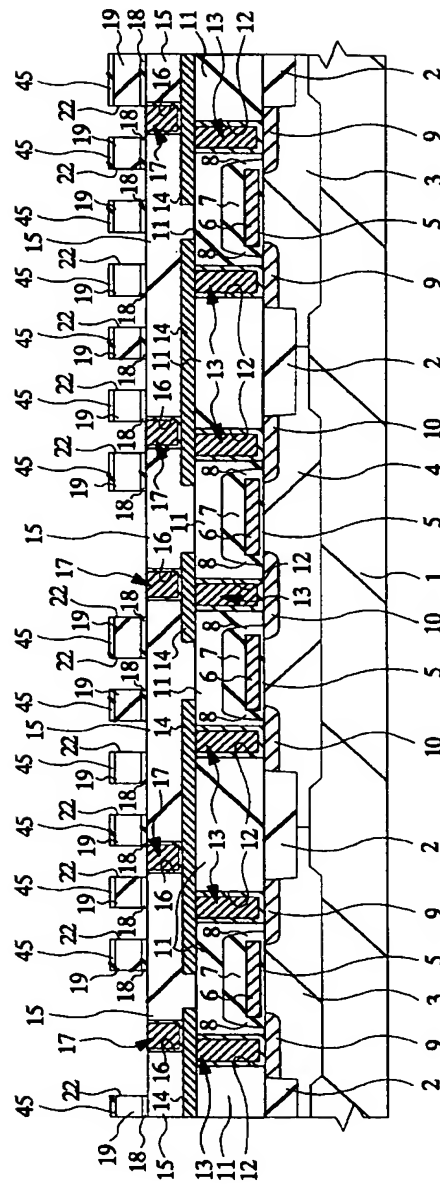


【図 24】

24

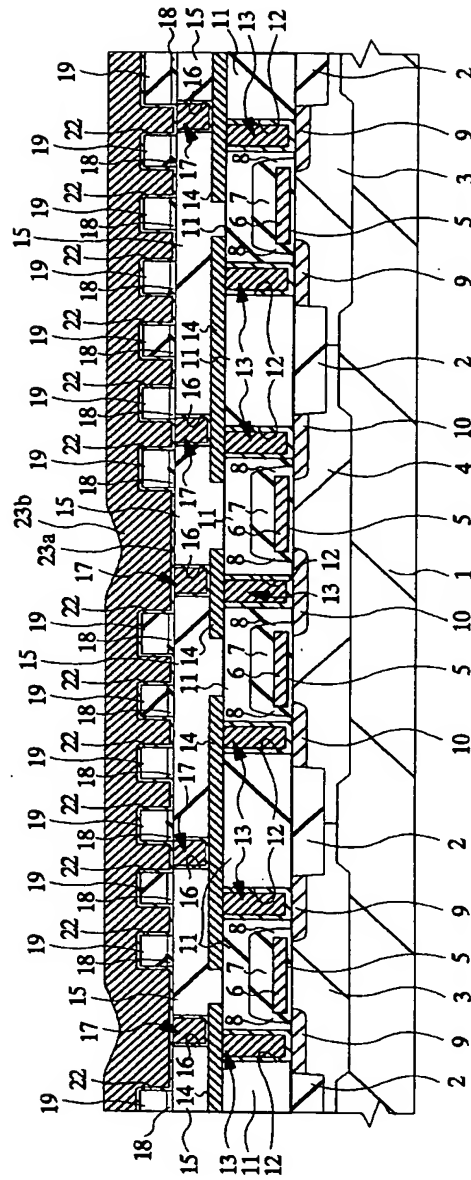


【図 25】



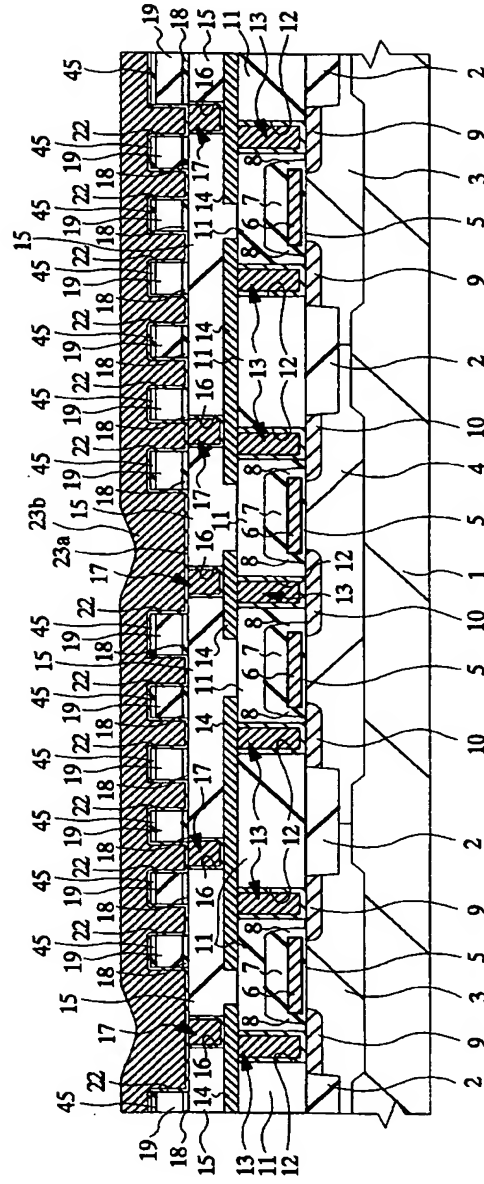
【図26】

図 26



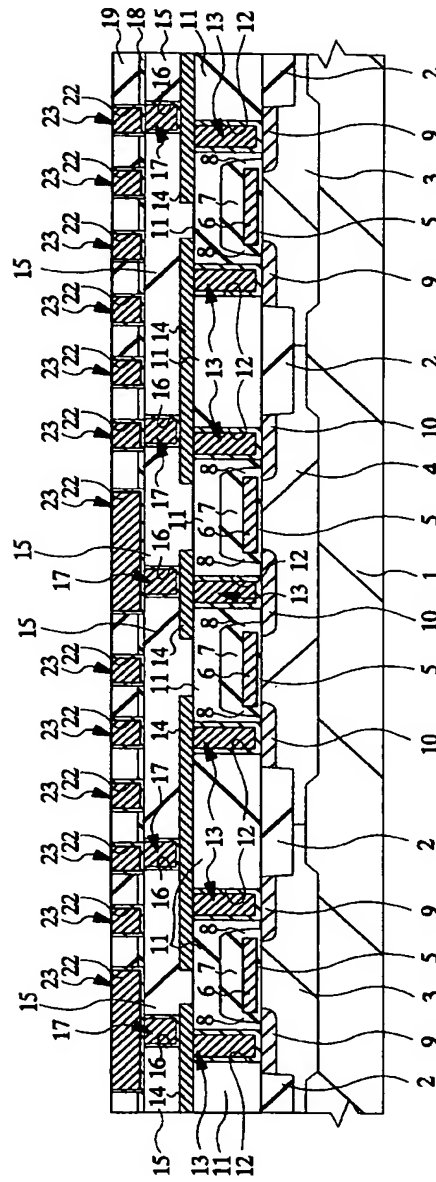
【図 27】

図 27



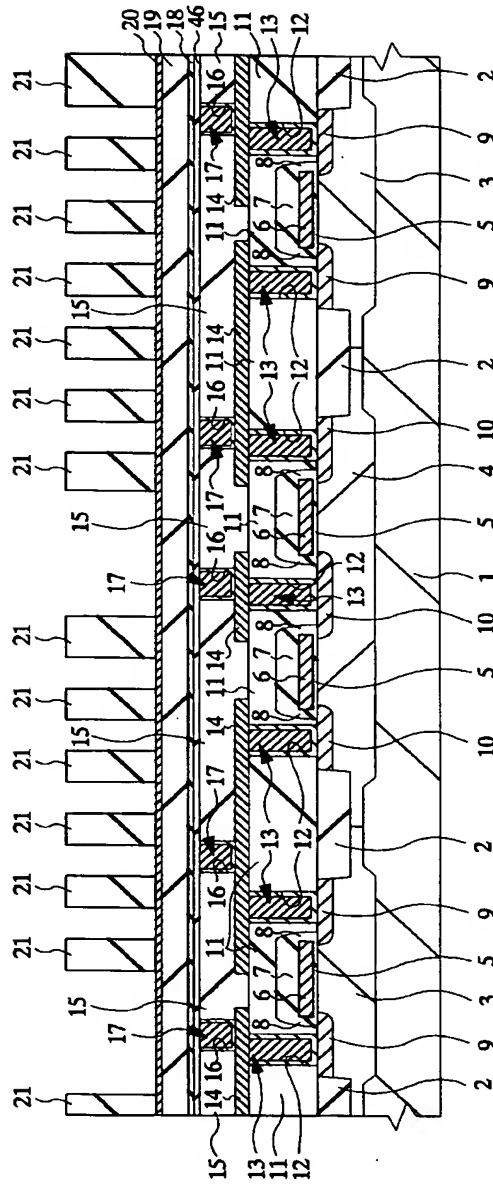
【図28】

図 28



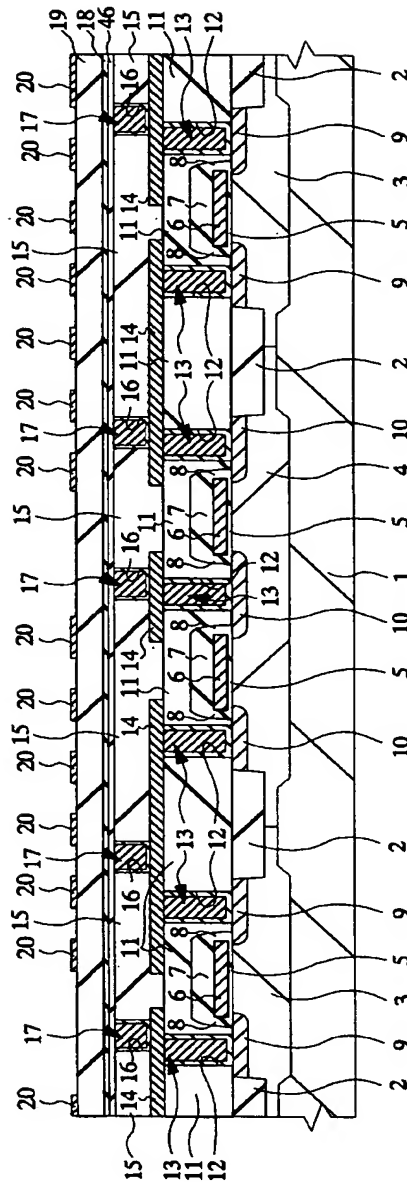
【図29】

図 29



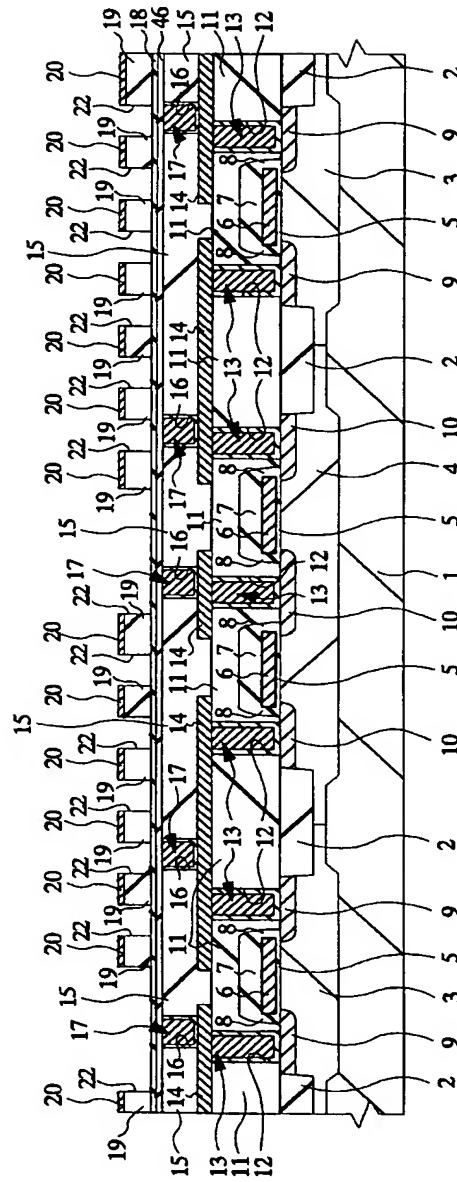
【図31】

図 31



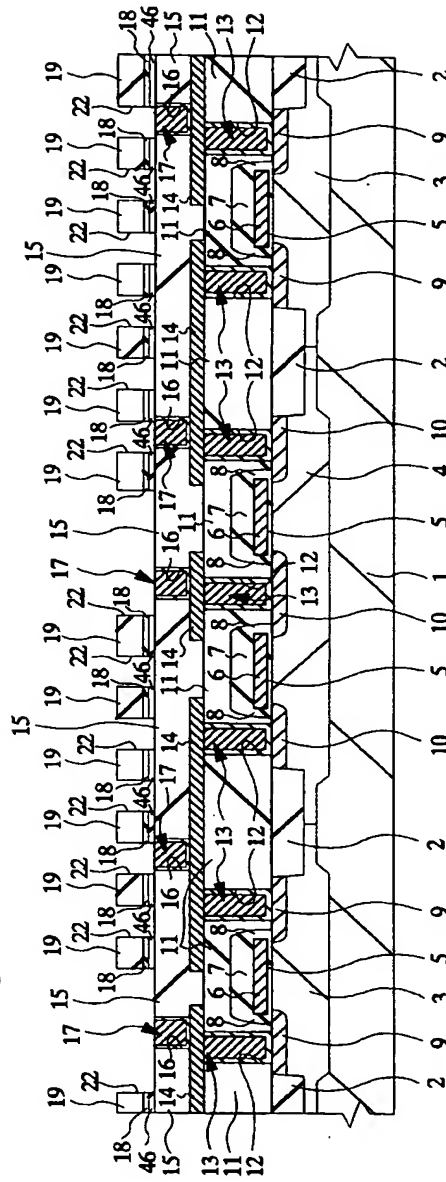
【図32】

図 32

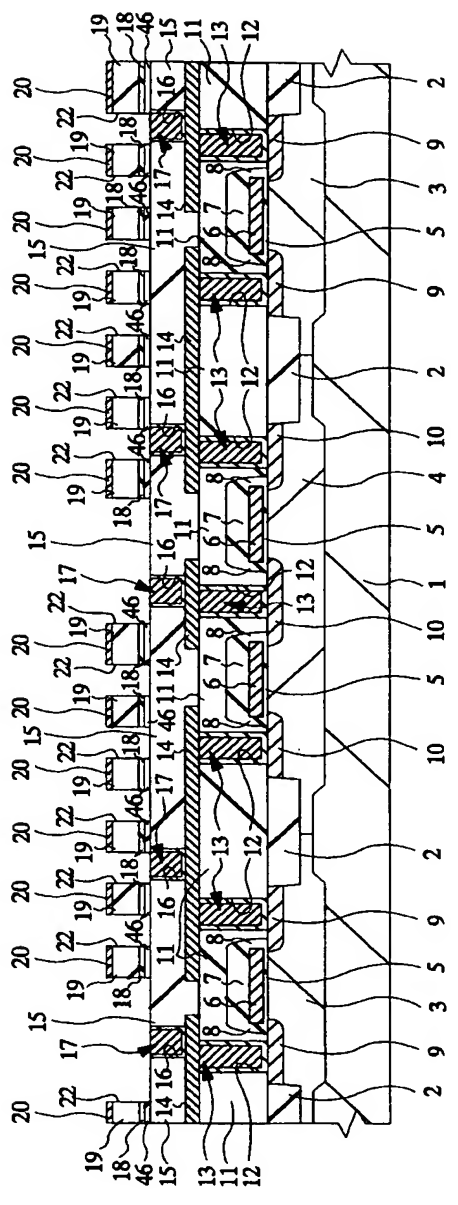


【図 33】

図 33

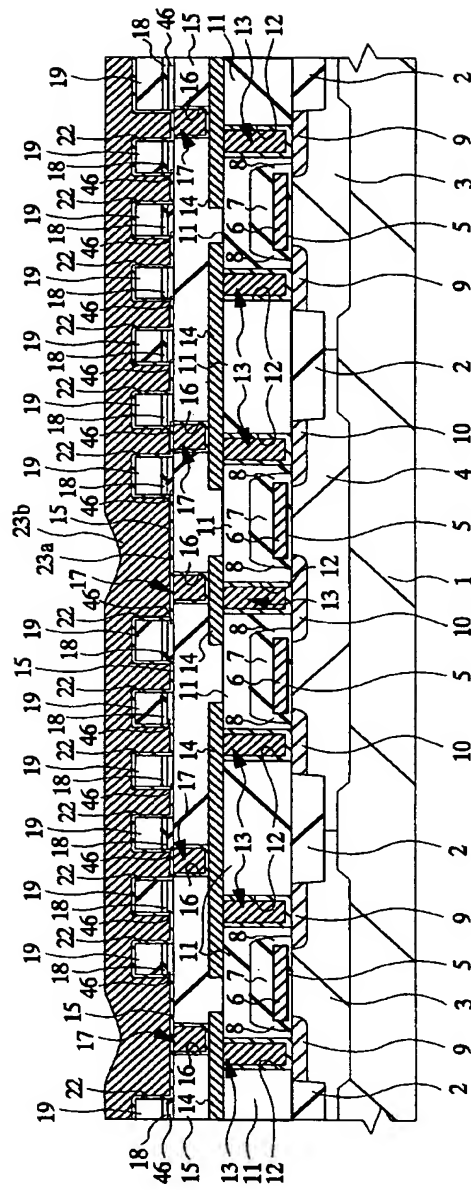


【図34】


 34

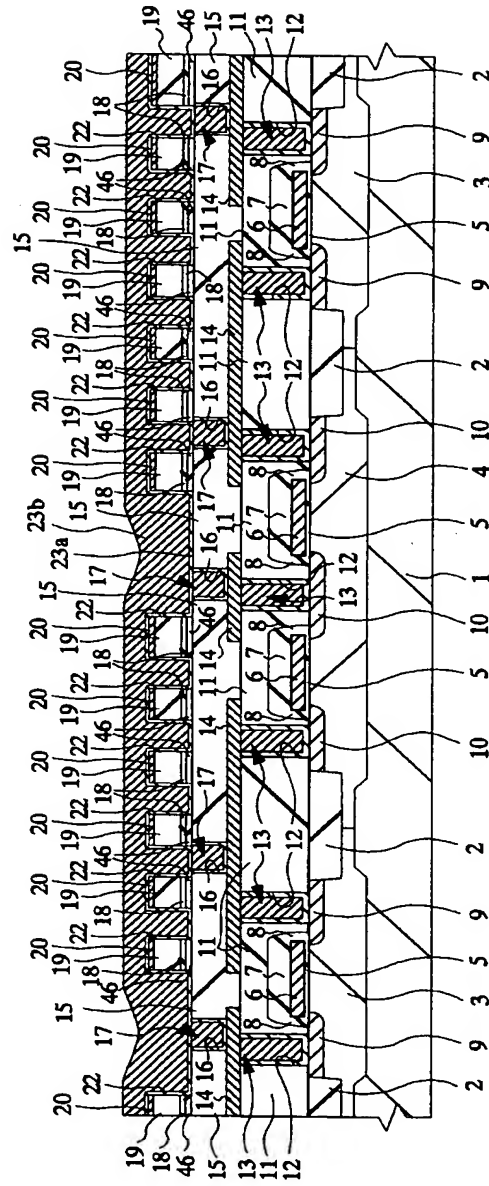
【図35】

図 35



【図36】

図 36

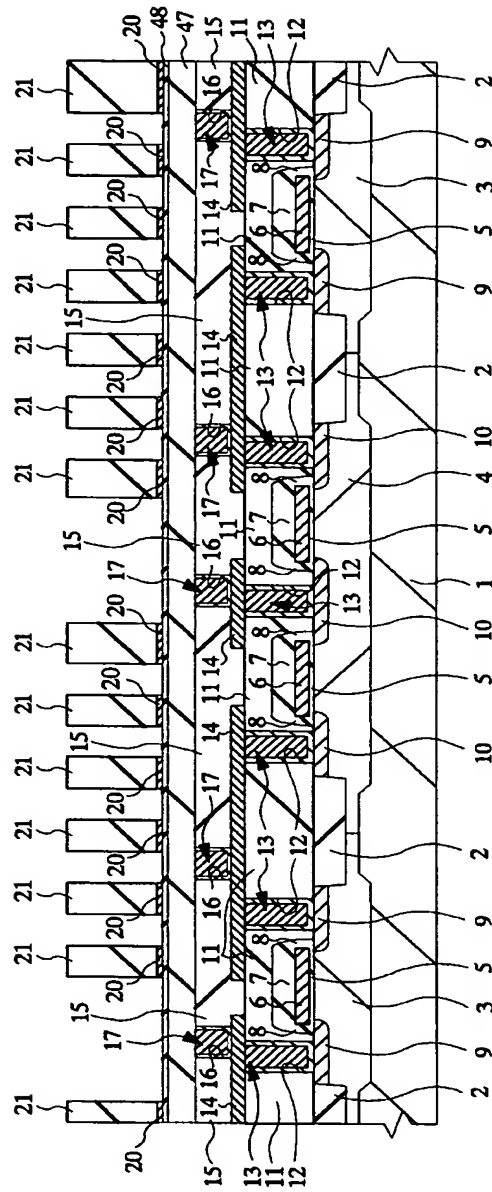


【図37】



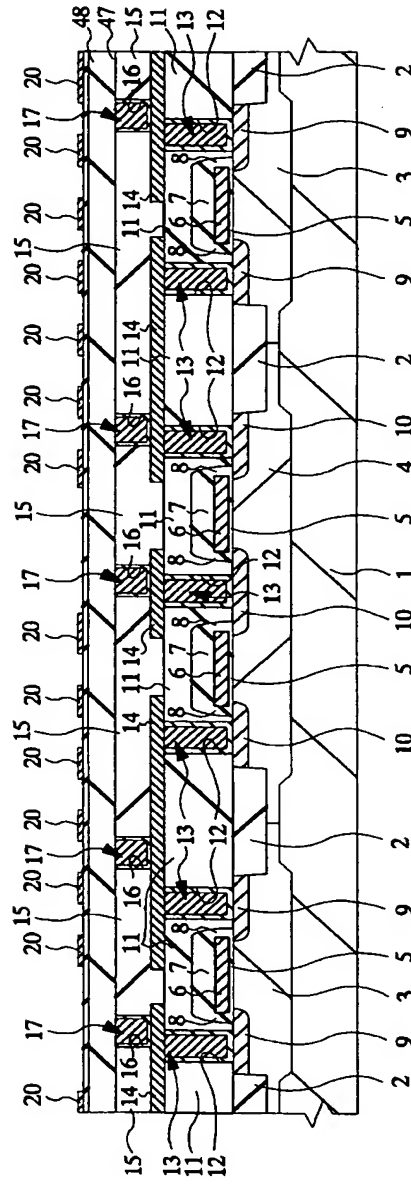
【図 39】

図 39



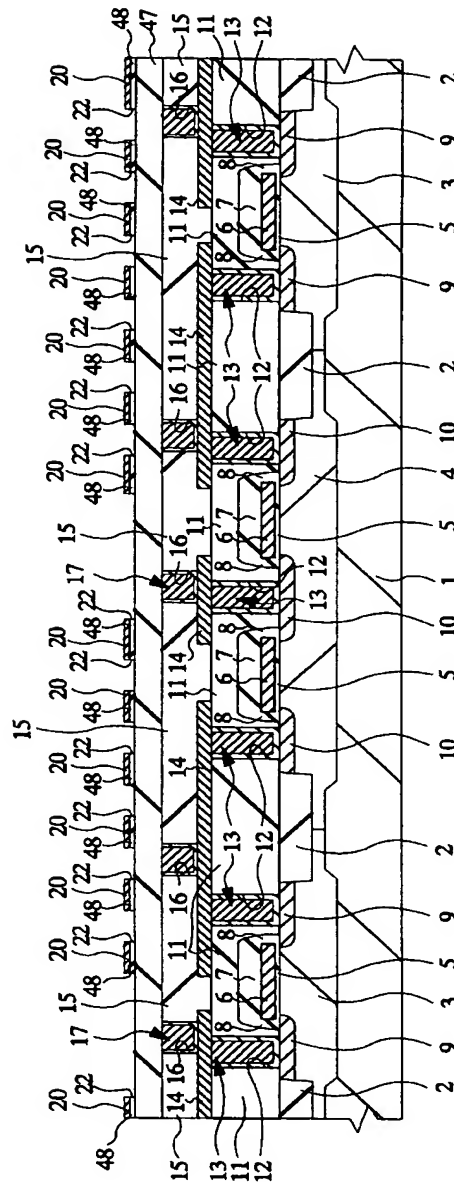
【図40】

図 40



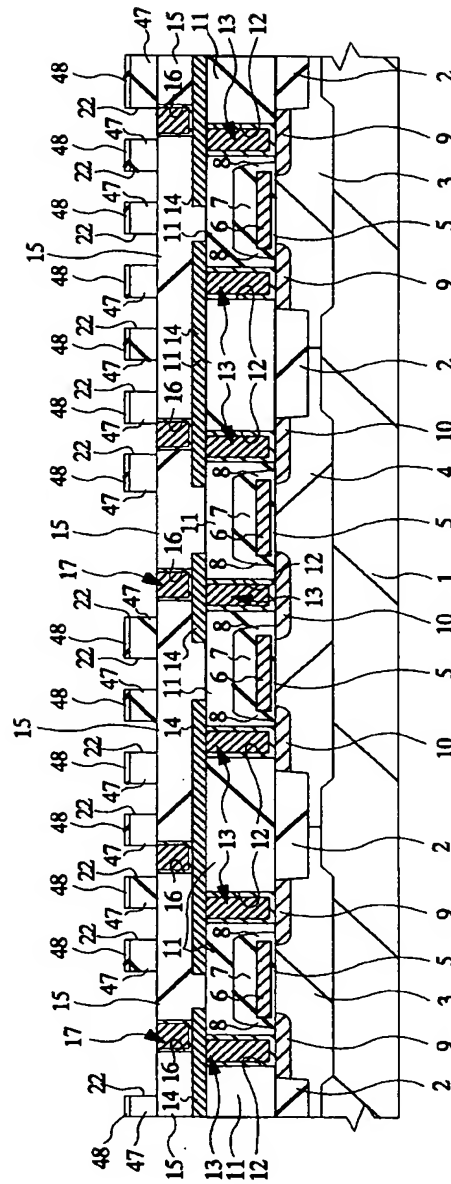
【図 41】

図 41



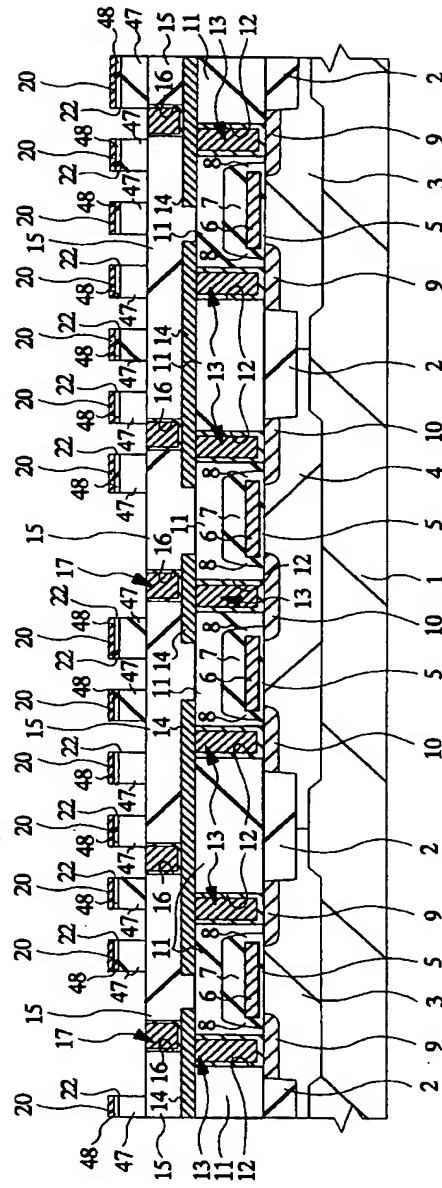
【図42】

図 42



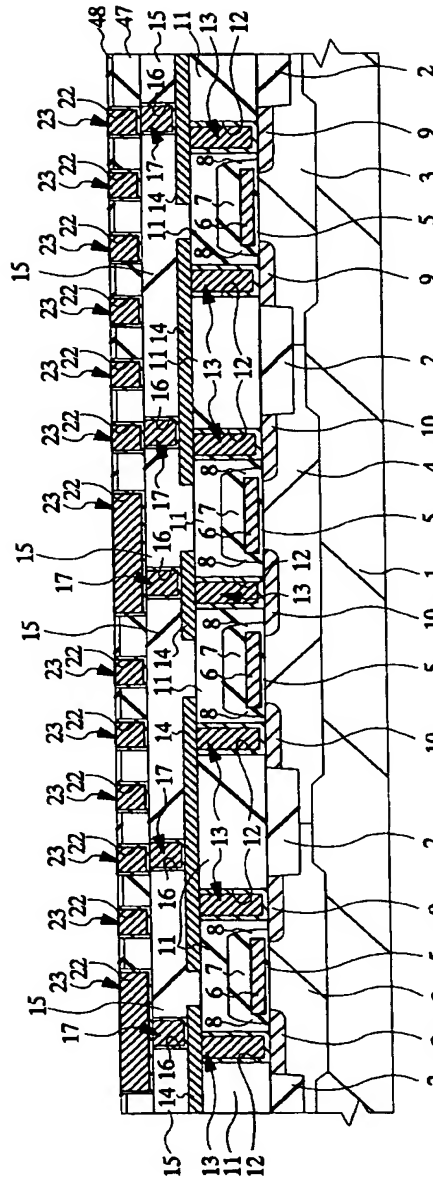
【図43】

図 43



【図46】

図 46



フロントページの続き

(72)発明者 今井 俊則

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 野口 純司

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 大橋 直史

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

F ターム(参考) 5F033 HH11 HH19 HH21 HH32 HH33
JJ11 JJ19 JJ21 JJ27 JJ32
JJ33 KK01 KK11 KK19 KK32
KK33 MM01 NN06 NN07 PP06
PP15 PP27 PP28 PP33 QQ09
QQ10 QQ11 QQ21 QQ25 QQ27
QQ28 QQ37 QQ48 QQ70 QQ73
QQ74 QQ75 RR04 RR06 RR09
RR14 RR15 RR25 SS04 SS08
SS11 SS15 SS21 TT02 TT04
WW02 WW09 XX01 XX09 XX14
XX24
5F058 AA10 AD09 AD10 AF04 AH02
BC02 BD03 BD04 BD06 BF07
BF25 BF29 BJ02